

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-258210

(P2003-258210A)

(43) 公開日 平成15年9月12日 (2003.9.12)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L 27/12		H 0 1 L 27/12	B 2 H 0 9 0
G 0 2 F 1/1333	5 0 0	G 0 2 F 1/1333	5 0 0 2 H 0 9 2
		1/1365	
		1/1368	
H 0 1 L 21/02		H 0 1 L 21/02	B
		審査請求 未請求 請求項の数25 O L (全 19 頁)	

(21) 出願番号 特願2002-365031(P2002-365031)

(22) 出願日 平成14年12月17日 (2002.12.17)

(31) 優先権主張番号 特願2001-396723(P2001-396723)

(32) 優先日 平成13年12月27日 (2001.12.27)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 松田 宏

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72) 発明者 貴志 悦朗

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(74) 代理人 100090538

弁理士 西山 恵三 (外1名)

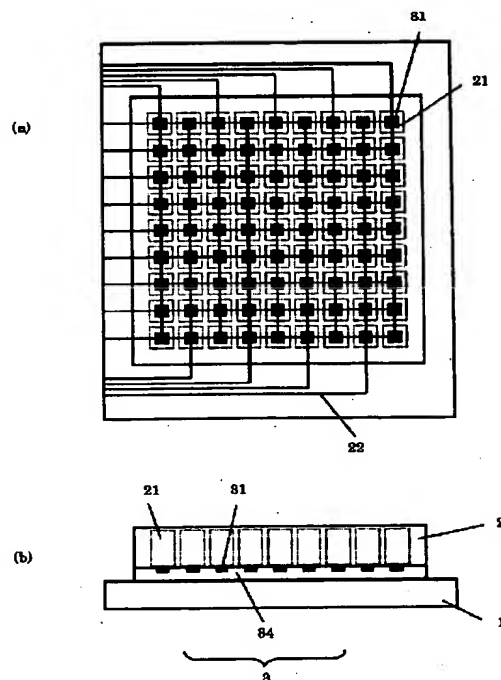
最終頁に続く

(54) 【発明の名称】 表示装置及びその製造方法

(57) 【要約】

【課題】 表示素子の構成に関して、画素を駆動するスイッチング回路や周辺回路を、別の基板上に形成した半導体回路を移設配置することによって形成し、表示基板上に高性能なトランジスタを配置する。

【解決手段】 表示素子の基板上に画素を駆動するためのスイッチング素子、及びそれに駆動信号を送るための周辺回路を持つ回路の形成方法に関する。第2の基板上に分離層を形成し、その上に半導体膜を形成する。この半導体膜中に、所定の半導体回路を作成したものを、前記表示素子の基板上に接着し、その後基板上の配線と電気的接続を取る。



THIS PAGE BLANK (USPTO)

【特許請求の範囲】

【請求項 1】 第 1 の基板上に画像表示素子部と該画像表示素子部を駆動するためのスイッチング回路部及び／又は周辺回路部を配置した表示装置であって、前記スイッチング回路部及び／又は周辺回路部は、第 2 の基板上に配置した回路膜中に前記スイッチング回路部及び／又は周辺回路部を含む回路部を形成する形成工程、及び前記回路部が形成された前記回路膜を第 1 の基板上に移設配置する移設工程を少なくとも一回以上実施することにより形成されたことを特徴とする表示装置。

【請求項 2】 前記移設工程が、前記回路膜を前記第 1 の基板上に接着させる接着工程、前記回路膜を前記第 2 の基板から分離する分離工程、から作成されたことを特徴とする請求項 1 に記載の表示装置。

【請求項 3】 前記回路膜を、少なくとも 1 つの第 3 の基板を介して前記第 1 の基板上に移設配置することを特徴とする請求項 1 に記載の表示装置。

【請求項 4】 前記第 1、第 3 の基板の少なくとも 1 つがプラスチックフィルム基板であることを特徴とする請求項 1 の表示装置。

【請求項 5】 前記スイッチング回路部及び／又は周辺回路部を構成する材料が、有機半導体、非晶質シリコン、他結晶シリコン、及び単結晶シリコンのいずれか 1 つを含むことを特徴とする請求項 1 に記載の表示装置。

【請求項 6】 前記回路膜が、半導体素子、半導体集積回路、金属／絶縁体／金属の積層構造（MIM 構造）からなるいずれかの素子を含むことを特徴とする請求項 1 に記載の表示装置。

【請求項 7】 前記回路膜が、単結晶シリコン層に形成された半導体素子及び／又は半導体集積回路を含むことを特徴とする請求項 6 に記載の表示装置。

【請求項 8】 前記回路膜が、可撓性を有する材質であることを特徴とする請求項 6 に記載の表示装置。

【請求項 9】 前記回路膜は、前記第 2 の基板上に形成された分離層上に形成された半導体膜及び／又は絶縁膜の少なくとも一部であることを特徴とする請求項 1 に記載の表示装置。

【請求項 10】 前記分離層が、多孔質層又はイオン注入層であることを特徴とする請求項 9 に記載の表示装置。

【請求項 11】 前記表示装置の構成に関して、前記スイッチング回路部が、前記第 1 の基板上の第一の表面に配置され、前記周辺回路部の少なくとも一部が、前記第 1 の基板上の第二の表面に配置されることを特徴とする請求項 1 に記載の表示装置。

【請求項 12】 前記表示装置の構成に関して、前記第一の基板上に前記周辺回路部の少なくとも一部が形成された回路膜が少なくとも 1 層形成され、その上に前記スイッチング回路部及び画素表示部が順次形成されていることを特徴とする請求項 1 に記載の表示装置。

【請求項 13】 前記回路膜に含まれる周辺回路部及び

／又はスイッチング回路部への結線がメタライゼーションにより結線されていることを特徴とする請求項 1 に記載の表示素子。

【請求項 14】 基板上に分離層と半導体膜を順次配置された第 2 の基板を準備する工程、前記半導体膜に少なくとも 1 つのスイッチング回路部及び／又は周辺回路部を形成した回路膜を形成する形成工程、前記第 2 の基板から、前記回路膜を分離する分離工程、前記回路膜を前記第 1 の基板上に移設配置する移設工程、及び、前記回路膜上に画像表示素子部を形成する工程、の各工程を少なくとも 1 つ以上有することを特徴とする請求項 1 に記載の表示装置の製造方法。

【請求項 15】 前記回路膜を、少なくとも 1 つの第 3 の基板を介して前記第 1 の基板上に移設配置することを特徴とする請求項 1 に記載の表示装置の製造方法。

【請求項 16】 前記移設工程において、前記回路膜の少なくとも一部が積層配置されることを特徴とする請求項 14 に記載の表示装置の製造方法。

【請求項 17】 前記回路膜の形成方法に関して、前記第 2 の基板が半導体基板であり、該半導体表面上に分離層を形成する工程、該分離層上に半導体膜を形成する工程、該半導体膜中に半導体素子及び／又は半導体集積回路からなる前記回路部を形成する工程からなることを特徴とする請求項 14 に記載の表示装置の製造方法。

【請求項 18】 前記分離層が多孔質層シリコン層であることを特徴とする請求項 17 に記載の表示装置の製造方法。

【請求項 19】 前記半導体膜が、単結晶シリコン及び／又は化合物半導体からなる膜であることを特徴とする請求項 17 に記載の表示装置の製造方法。

【請求項 20】 前記分離工程に関して、前記回路膜が形成された前記第 2 の基板上及び／又は前記回路膜上の所定の領域に、予め切り込み溝を形成した後に、前記第 1 の基板と接着し、その後前記回路膜を前記第 2 の基板から分離して、所定の領域の回路膜を選択的に第 1 の基板上に移設配置することを特徴とする請求項 14 に記載の表示装置の製造方法。

【請求項 21】 前記分離工程の前に、前記回路膜上に支持基板を貼り合わせて、該回路膜と該支持基板とを一体化する一体化工程を行い、前記分離工程では、前記支持基板と一体化された回路膜を、前記分離膜を境に剥離・分離することを特徴とする請求項 14 に記載の表示装置の製造方法。

【請求項 22】 前記移設工程の前に前記回路膜を予め切断しておき、チップ化された前記回路膜を前記第 1 の基板上に少なくとも 1 つ以上移設配置することを特徴とする請求項 14 に記載の表示装置の製造方法。

【請求項 23】 前記移設工程において、少なくとも 1 つの、前記チップ化された回路膜を第 3 の基板上に移設配置した後、少なくとも 1 つ以上の前記回

THIS PAGE BLANK (USPTO)

路膜を含む該第3の基板を、前記第1の基板上に配置することを特徴とする請求項15記載の表示装置の製造方法。

【請求項24】 前記分離工程に関して、前記分離層を有する第2の基板上に形成した回路膜上に画像表示素子部を形成した後に、前記分離層から分離する工程であることを特徴とする請求項14記載の表示装置の製造方法。

【請求項25】 前記第1の基板上に前記回路膜をフェイスアップ方向に配置し、電気的結線をメタライゼーションによって行うことを特徴とする請求項1記載の表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は表示素子及び表示装置に関し、特に表示に関わる回路の製造方法に関して、別途薄膜状に形成された回路を該表示装置の画素部を保持する基板上に移設・配置して形成することを特徴とする表示素子及び装置とその製造方法に関わる。

【0002】

【背景技術】近年デジタルペーパー、ペーパーライクディスプレイ、電子ブックといった名称で、形態的に紙（印刷物）に近く、一方で表示内容が電気的に書き換え可能である表示媒体が多数提案されている。具体的には、シート状の複数のページディスプレイからなる電子ブックなどが検討されている。

【0003】従来このようなシート状のディスプレイでは、表示素子と制御回路との間の配線を、膨大な数の外部配線を用いて結線していた。

【0004】しかし上記シート状のページディスプレイでは、各種の電気的制御回路を実装する上で、なるべく薄くすることが求められている。そこで、画素をスイッチングするための薄膜トランジスタ（以下TFTと略す）からなるスイッチング回路や、サンプルホールド回路、シフトレジスタ等からなる周辺回路を画素周辺部の基板上に設置することが必要である。

【0005】一般には、半導体回路が形成された単結晶シリコン基板をチップ上に分割し、表示素子基板上に配置することが行なわれていた。これらはCOG（Chip On Glass）と呼ばれており、またこれらの回路間の接続には、TAB（Tape Automated Bonding）と言われる方法が用いられてきた。しかしTABの接続ピッチの限界は約40 μ mといわれており、これ以上の高解像度を有する表示装置には適応できていない。

【0006】一方液晶表示素子の分野では、近年低温形成した多結晶シリコントランジスタを用いて、サンプルホールド回路などの周辺回路を、表示素子の基板上に形成することも一般的に行われている。しかしながら、表示素子用の制御回路を全て多結晶シリコンで作ること

は、その電子移動度が小さいために実現されていない。また低温形成といっても500℃程度の温度が必要であって、表示素子の基板の耐熱性が高いことが求められていた。

【0007】そこでこの両者の欠点を補う意味で、表示素子基板上に単結晶シリコンなどを用いたトランジスタ回路を形成する新規な実装技術が求められている。

【0008】この解決方法として、半導体基板上に多孔質層を介して単結晶シリコン層を成膜し、ここに所望の半導体回路を形成した後、該半導体回路上に所望の支持基板を貼り合わせ、外力（引っ張り力）をもって前記多孔質層から半導体基板を分離し、半導体回路を支持基板上に転写するプロセスを利用することが提案されている。（例えば特許文献1を参照）しかしながらこの方法では、分離工程が引っ張り力という外力で行われるので、特に半導体形成された半導体回路の一部に局所的に歪み等が加わり半導体回路を損傷せしめたりデバイス特性を損なう恐れがある。係る問題は転写面積が大きくなればなるほど、多発することが懸念される。

【0009】

【特許文献1】特開平9-312349号公報

【0010】

【発明が解決しようとする課題】以上、説明したように、従来の方法で耐熱性に劣る基板上に回路を含む表示素子や表示装置を形成するには、半導体回路形成に伴う高温プロセスを使えないために、結果として半導体回路のデバイス特性が上がりにくく、また不十分な温度で形成した場合、素子特性が一定しないために歩留まりも上がり難いなどの多くの課題を抱えていた。

【0011】このために、表示素子の基板にかかる熱ストレスを低減し、安定に動作する表示素子が求められている。

【0012】

【課題を解決するための手段】本発明は、上記課題を解決するためになされたものであり、可撓性を有するプラスチック等を含む耐熱性の低い基板上に半導体回路を形成し、表示素子及び表示装置を提供するとともに、その製造方法を提供するものである。

【0013】本発明は、第1の基板上に画像表示素子部と該画像表示素子部を駆動するためのスイッチング回路部及び又は周辺回路部を配置した表示装置であって、前記スイッチング回路部及び／又は周辺回路部は、第2の基板上に配置した回路膜中に前記スイッチング回路部及び／又は周辺回路部を含む回路部を形成する形成工程、及び前記回路部が形成された前記回路膜を第1の基板上に移設配置する移設工程を少なくとも一回以上実施することにより形成されたことを特徴とする表示装置である。

【0014】さらに本発明は、前記スイッチング回路部及び／又は周辺回路部を構成する材料が、有機半導体、

THIS PAGE BLANK (USPTO)

非晶質シリコン、他結晶シリコン、及び単結晶シリコンのいずれか1つを含むこと特徴としており、また前記回路膜が、半導体素子、半導体集積回路、金属/絶縁体/金属の積層構造(MIM構造)からなるいずれかの素子を含むことを特徴としている。

【0015】より好ましくは、前記回路膜が、単結晶シリコン層に形成された半導体素子及び/又は半導体集積回路を含むことを特徴としている。

【0016】さらに表示装置としてのより好ましい構成として、前記スイッチング回路部が、前記第1の基板上の第一の表面に配置され、前記周辺回路部の少なくとも一部が、前記第1の基板上の第二の表面に配置されることを特徴としている。

【0017】また本発明は、基板上に分離層と半導体膜を順次配置された第2の基板を準備する工程、前記半導体膜に少なくとも1つのスイッチング回路部及び/又は周辺回路部を形成した回路膜を形成する形成工程、前記第2の基板から、前記回路膜を分離する分離工程、前記回路膜を前記第1の基板上に移設配置する移設工程、及び、前記回路膜上に画像表示素子部を形成する工程、の各工程を少なくとも1つ以上有することを特徴とする表示装置の製造方法である。

【0018】特に本発明は、前記回路膜の形成方法に関して、該第2の基板が半導体基板であり、該半導体表面上に分離層を形成する工程、該分離層上に半導体膜を形成する工程、該半導体膜中に半導体素子及び/又は半導体集積回路からなる前記回路部を形成する工程からなることを特徴としている。

【0019】また本発明は、前記移設工程が、前記回路膜を前記第1の基板上に接着させる接着工程、前記回路膜を前記第2の基板から分離する分離工程、から作成されたことを特徴としている。

【0020】特に好ましい形態として、前記分離層が多孔質層シリコン層であることが好ましく、また前記半導体膜が、単結晶シリコン及び/又は化合物半導体からなる膜であることが好ましい。

【0021】また本発明は、前記第2の基板から、多くの前記回路膜を一括で表示装置を形成する基板に移設する方法と、前記移設工程の前に前記回路膜を予め切断しておき、チップ化された前記回路膜を前記第1の基板上に移設することの両方を含む。

【0022】また上記移設に当たっては、前記回路膜を第3の基板を介して第1の基板上に移設してもよい。

【0023】

【発明の実施の形態】(表示装置の構成)以下、本発明の表示装置の構成について説明する。

【0024】(第1の実施形態)本発明の表示装置の構成について、第1の実施形態を図1を用いて詳細に説明する。

【0025】図1(a)は本発明の表示装置の概略構成

を示す平面図で、同図(b)はその断面図である。本実施形態では、スイッチング回路部3を構成する回路膜34は単一の膜であって、全ての集積されたスイッチング回路部31を含んでいる形態を示している。すなわち、基板1上にスイッチング回路膜34と表示部2が順次積層されてなる表示装置である。ここで、画像形成用スイッチング回路部3は、基板1とは異なる第2の基板上に形成した複数のスイッチング回路31を含む回路膜34を第2の基板から剥離して、基板1上に移設・配置したものである。

【0026】基板1は表示素子の基板となるもので、ガラスやシリコンウエハといった剛直な材料の他に、可撓性を示すポリイミド、アクリル、PET、PES等のプラスチック材料を利用してもよい。

【0027】スイッチング回路部31としては、例えばMOSトランジスタに代表される三端子素子の他、MOSダイオードやMIM非線型素子のような二端子素子を用いることができる。

【0028】表示素子部2としては、液晶表示、EL表示、電気泳動表示、マイクロカプセル型電気泳動表示、インプレーン型電気泳動表示やツイステッド・ボール表示等、従来公知の表示素子を利用することができる。

【0029】図1では、画素駆動用のスイッチング回路31が画素21の略中央に配置されているが、この位置関係は限定されるものではない。また配線22は、スイッチング回路部31を駆動するための制御回路として、周辺回路等を搭載した回路基板(不図示)に、フレキシブル配線(FPC)等を用いて接続されている。また周辺回路の一部を構成するICチップの一部を、基板1上に配置してもよい。

【0030】周辺回路等を搭載した不図示の回路基板は、基板1の裏面に配置してもよいし、基板1を収める筐体とは別体の筐体を用意して、その中に配置してもよい。また図1では基板1上にスイッチング回路部3及び表示部2が順次直接積層されているが、その間に絶縁層、平坦化層や配線等を、必要に応じて形成してもよい。

【0031】表示部2、スイッチング回路部3と配線22を結線するには従来公知の手法、即ちコンタクトホール、異方性導電フィルム(ACFと略す)、ワイヤーボンディング、金バンプ等を用いて行うことができる。

【0032】またスイッチング回路部3を基板1に対してフェイスアップの向き(回路の端子が最表層側)に配置した場合には、図25に示すように、メタライゼーションにより結線することが可能である。

【0033】即ち、回路膜が非常に薄い場合(通常1 μ m以下)、回路膜の厚み方向に、直接金属膜を形成しても、回路膜段差部での断線の心配がない。勿論断線の確率をより小さくするために、回路膜の端面を、異方性エッチング等の手法を用いて、傾斜を形成して置くのも効

THIS PAGE BLANK (USPTO)

果的である。

【0034】（第2の実施形態）本発明の表示装置の第2の実施形態を図2に示す。

【0035】本実施形態では、複数の回路膜に分割して構成されている例を示す。すなわち、スイッチング回路部3は、スイッチング回路32を集積して形成した回路膜34を、基板1上に複数個移設配置してある。

【0036】回路膜34間の隙間には必要に応じて、高分子材料による平坦化層35を付設するのが、その上に表示素子を形成するのに効果的である。

【0037】図2(a)では、1つの集積されたスイッチング回路32が回路間配線33を介して計9個の表示画素21の駆動を行っているが、各画素毎に独立した回路膜34を配してもよい。

【0038】このようにスイッチング回路を形成した回路膜を複数個配置して、スイッチング回路部3を形成する構成は、表示装置の寸法が大きいときに特に有効である。

【0039】（第3の実施形態）本発明の表示装置の第3の実施形態を図3に示す。

【0040】本実施形態では、別途作製した複数のスイッチング回路31を形成した回路膜からなるスイッチング回路部3と、表示素子の走査線駆動回路41及びデータ線駆動回路42から成る周辺回路部4を基板1上に移設配置することによって形成した例を示す。

【0041】第1の実施形態で使用したCOGによる実装方法と比較して、外部周辺回路に接続するための配線22の本数を大幅に低減できる利点がある。よって電気配線の接続数が少なくでき、周辺回路部の実装に伴う信頼性が増す。

【0042】なお、図3においては、走査線駆動回路41を形成した回路膜及びデータ線駆動回路42を形成した回路膜が、スイッチング回路31を形成した回路膜とは分離されているが、これらの回路を一体化した回路膜として形成してもよい。

【0043】表示装置の寸法が大きすぎない限り、一体化した回路膜を用いる方が、スイッチング回路と駆動回路との結線に関わるコストを低減できるので、好ましい。反対に、表示装置の寸法が大きい場合など、周辺回路部4を更に分割し、多数の回路膜を含む部材を適宜配置することが効果的である。

【0044】尚、回路膜と表示素子部の配線との電氣的接続が、メタライゼーションによる結線が可能なときは、回路膜を含む部材が複数個使用されていても、これらの結線数が増えることに関わるコスト増を考慮しなくてもよい。

【0045】一方、本実施形態ではスイッチング回路部3を単結晶シリコンを用いた回路で構成していたが、有機半導体を用いて前記スイッチング回路を構成してもよい。有機半導体スイッチング回路としては、D. Gu

ndlachら、Tech. Dig. - Int. Electron Devices Meet. (1999), pp. 111-114や、T. N. Jacksonら、SID 00 Dig. (2000), pp. 411-414により示される有機半導体トランジスタ材料を用いることができる。

【0046】有機半導体を用いることは、単結晶シリコンに比べて移動度などの電気特性は劣るが、特に表示素子基板にプラスチックフィルムを用いた場合、基板との熱膨張係数が近いために、環境温度が変化した場合に剥離するなどの欠点が少なく、素子の安定性が増すという利点がある。

【0047】また本実施形態では、表示素子部はスイッチング回路部を用いたアクティブマトリクス型表示素子を示したが、前記スイッチング回路部を用いないパッシブマトリクス型表示装置であっても、周辺駆動回路部を表示素子の周囲に配置する場合、本発明は非常に有効である。

【0048】このために例えば、電気泳動表示素子に付いて言う、本来閾値特性を示さない表示方式であるが、制御電極を付与するなどの工夫をして、擬似的に閾値特性を与えることができる。それによってXYマトリクス型配線によりパッシブマトリクス駆動を行うことができ、上記本発明の技術で周辺回路部を形成すると、安価に表示装置を作成できる。

【0049】さらに、周辺回路部に加えて、公知の情報入出力回路、メモリ、プロセッサ、ワイヤレス通信回路、太陽電池などを形成した回路膜を、本発明の方法にて表示素子の周辺部に移設・配置することにより、表示装置に必要な回路部の殆どを表示素子の基板1上に実装することができる。

【0050】当然これらの回路膜は分離されたチップでもよく、また一体形成されていても良い。また各種の半導体回路を作成する部材として、単結晶シリコン、有機半導体、非晶質シリコン、多結晶シリコンなどを、それぞれの回路の特徴に合わせて独立に選択して配置しても良い。こうすることで、シート形状の表示素子1枚の上に、全ての機能を備えたデジタルペーパーが作成できる。

【0051】（第3の実施形態）本発明の表示装置の第3の実施形態を図4に示す。

【0052】基板1上にまず、周辺回路部64を形成し、その上に平坦化層61を配置する。この上に、スイッチング回路部63及び表示部2を順次積層して配置する。

【0053】図4では周辺回路部64とスイッチング回路部63との間に平坦化層61を形成し、コンタクトホール62を空けて電氣的接続を取っている。またコンタクトホールではなく、ワイヤボンディングやACF等の手法により結線を行うことも可能である。さらにはメタ

THIS PAGE BLANK (USPTO)

ライゼーションによって結線を行うことも好ましい。周辺回路部 6 4 は走査線駆動回路 4 1、データ線駆動回路 4 2、メモリ、プロセッサ、ワイヤレス通信回路、外部入出力回路等を形成した回路膜を含む部材を適宜配置することにより構築する。

【0054】これらの部材は必ずしも基板 1 上に直接配置する必要はなく、例えば、周辺回路部 6 4 と基板 1 との間に薄膜状の電池を配置しても構わない。また図 4 では、周辺回路部 6 4 は 1 層で連続上に描かれているが、必要に応じて複数の回路膜で構成したり、多層構成とすることも可能である。この場合層間に平坦化層や層間絶縁層を設けてもよい。またこの周辺回路部 6 4 は十分に薄いので、回路部を積層した場合でも、メタライゼーションで各回路を結線することも可能である。

【0055】図 4 に示すスイッチング回路 3 1 は、印刷等の手法により形成した有機半導体によるスイッチング回路あるいは、従来公知の非晶質シリコンや多結晶シリコンによる薄膜トランジスタを主体とするスイッチング回路を利用しても構わない。また、単純マトリックス表示素子のように、表示部の種類によってはスイッチング回路部 3 を省略することもできる。

【0056】またスイッチング回路部 6 3 と同一面内に周辺回路の一部を配置しても構わない。この場合、スイッチング回路と周辺回路とを異なる回路膜を含む部材に形成して構成しても、同一の回路膜を含む部材に形成して構成しても構わない。

【0057】特に図 4 に示すように、スイッチング回路 3 1 と該スイッチング回路を駆動するための走査線駆動回路 4 1 及びデータ線駆動回路 4 2 とを同一の回路膜に形成すれば、スイッチング回路と駆動回路との結線をより確実にすることができる。

【0058】本構成においては、周辺回路を表示部 2 の周囲に配置する場合に比べて、基板 1 に要求される表示部 2 の周囲の余白面積を極力小さくすることができる。

【0059】(第 4 の実施形態) 本発明の表示装置の第 4 の実施形態を図 5 に示す。

【0060】図 5 (a) は、スイッチング回路部 3 及び表示部 2 を、基板 1 の第一の表面 7 1 上に形成し、周辺回路部 4 を裏面に相当する第二の表面 7 2 上に形成した例を示す。

【0061】第 1 の基板の第一の表面 7 1 に形成された回路と第二の表面 7 2 に形成された回路との結線は、基板 1 を貫通するコンタクトホール 6 2 或いは、フレキシブル配線 (FPC) 7 3 にて行う。周辺回路部の一部、例えば、走査線駆動回路やデータ線駆動回路を第一の表面 7 1 上に形成し、残りの周辺回路部を第二の表面 7 2 上に形成してもよい。これにより第一の表面 7 1 と第二の表面 7 2 間の結線数を削減することができる。またスイッチング回路部 3 や周辺回路部 4 を、必要により複数層で構成しても構わない。

【0062】図 5 (b) は、例えばフィルム基板 (第 3 の基板) 7 4 上に周辺回路部 4 を含む回路膜を移設・配置した上で、基板 1 の第二の表面に前記フィルム基板を介して配置した例を示す。

【0063】これは従来公知のチップオンフィルム (COF) やシステムオンフィル (SOF) 実装で用いられるベア IC チップを、移設配置した回路膜に変更したものである。

【0064】スイッチング回路部 3 は、第 2 の基板上に別途作製した複数のスイッチング回路を含む回路膜を、基板 1 上に移設・配置することにより構成してもよい。また有機半導体、非晶質シリコン、多結晶シリコンの何れかを利用して作製した薄膜トランジスタを主体とするもので形成してもよい。

【0065】(回路膜の作製方法) 次に本発明の表示装置を構成する回路膜を含む部材の作製方法について詳しく説明する。

【0066】(第 5 の実施形態) 回路膜の作製方法について図 6 を用いて説明する。

【0067】先ず半導体基板 100 上に分離層 101 を形成する (図 6 (a))。半導体基板 100 としては、CZ 法、MCZ 法或いは FZ 法等で作製された単結晶シリコンウエハの他、基板表面が水素アニール処理されたウエハ或いはエピタキシャルシリコンウエハ等を用いることができる。またシリコンウエハに限らず、GaAs 基板や InP 基板といった化合物半導体基板を用いることもできる。

【0068】前記分離層 101 の形成方法としては、陽極化成による多孔質層を利用する方法、或いは水素、窒素若しくはヘリウム等の希ガスをイオン注入したイオン注入層を利用する方法がある。前者が分離層として機能する理由は、多孔質層の形成により、その界面付近に大きな結晶歪みが形成され、分離し易くなるからである。

【0069】ただし、極端かつ急峻に多孔質層の多孔性の程度 (多孔度) を大きくすると、結晶歪みが大きくなりすぎて部分的に自然剥離を起したりする恐れもある。そこで、分離層 101 を多孔度の異なる複数の層で構成し、例えば、半導体基板側から、高多孔度層、低多孔度層の 2 層構成にする。また半導体基板側から、低多孔度層、高多孔度層、低多孔度層の 3 層構成にしてもよい。

【0070】ここで、高多孔度層の多孔度は 10% から 90%、低多孔度層の多孔度は 1% から 70% の範囲で利用可能である。多孔度の異なる層の形成は、陽極化成の際の電流密度を変えたり、化成溶液の種類や濃度を変化させることで実現できる。

【0071】陽極化成により多孔質層を形成する場合には、該多孔質層からなる分離層 101 上に半導体膜 102 を成長させるに先立ち、多孔質の孔の内側に窒化膜或いは酸化膜等の保護膜を設ける保護膜形成工程や、水素を含む雰囲気下で 800-1000℃の熱処理工程を

THIS PAGE BLANK (USPTO)

行うことがよい。

【0072】これら2つの工程を併用、すなわち保護膜形成後、熱処理工程を実施することも好ましい。さらには、前記熱処理工程の後、第2の熱処理を更に高温、900℃以上、融点以下の温度範囲で行うことも好ましい。例えば、最初の熱処理工程を950℃で行い、第2の熱処理工程を1100℃で行う。これらの処理により、多孔質層表面の孔の封止が行われる。

【0073】形成された多孔質層は、基板表面とほぼ垂直方向に細長く伸びた微細孔形状であり、オリジナルの基板が有していた結晶性を維持している。尚、多孔質層の厚さは、数百μmから0.1μm程度まで使用することが可能である。

【0074】分離層101としてイオン注入層を利用する場合には、後述するように400-600℃程度の熱処理により分離層の剥離が起きてしまう。従って後述する回路素子及び／又は集積回路といった回路形成工程において、高温処理ができなくなる可能性がある。よって、後述する回路素子及び／又は集積回路形成工程を先に行った後、所定深さにイオン注入を実施して、イオン注入層からなる分離層101を形成することが好ましい。この際必要に応じて、回路素子及び／又は集積回路表面を保護膜で被覆するのが好ましい。

【0075】次に分離層101上に半導体膜102を堆積する(図6(b))。

【0076】この工程は、分離層101としてイオン注入層を利用する場合には不要である。半導体膜102は、CVD法、MBE法、スパッター法等従来公知の成膜方法を用いればよい。CVD法により半導体膜102を成長させる場合には、所定の厚み(例えば10nm)までは20nm/分以下の低成長速度で行うことが好ましい。ここで、多孔質層が結晶性を維持しているのので、その上に半導体膜をエピタキシャル成長させることが可能となる。

【0077】また半導体膜102としては、単結晶シリコン薄膜やGaAs、InP、GaN等の化合物半導体膜を利用することができる。半導体膜が単結晶シリコンの場合には原料ガスとして、SiH₂Cl₂、SiHCl₃、SiCl₄、SiH₄或いはHClガスを添加してもよい。

【0078】次に半導体膜102に回路素子及び／又は集積回路からなるスイッチング回路103を形成する(図6(c))。

【0079】回路素子及び／又は集積回路を形成するには、従来公知の各種デバイス作製プロセスを利用すればよい。スイッチング回路としては従来公知の回路でよく、例えばMOSFETとキャパシタを適宜組み合わせて構成する。

【0080】次にスイッチング回路103を形成した半導体膜102(これらをあわせて回路膜104と呼ぶ)

を分離層101で剥離・分離して回路膜105を得る(図6(d))。

【0081】分離層101として多孔質層を用いた場合、分離の具体的手法として、真空チャック等で部材を保持しつつ、分離する領域に引っ張り力、圧縮力、剪断力を加えることによって機械的に引き剥がしたり、或いは、超音波振動を印加して分離したり、局所的に加熱して分離してもよい。

【0082】しかしながら、分離の際に回路へ加わる局所的な応力に伴う回路の損傷を回避する観点から、流体の圧力を印加する方法を利用することが好ましい。流体の圧力を印加する方法としては、液体或いは気体からなる流体を高圧のジェットとして分離層101の側面に噴き付ける。ここで用いる液体としては、水、エッチング液、アルコール等が利用できる。液体を使用する際、同時に超音波を印加してもよい。また気体としては、空気、窒素ガス、アルゴンガス等が利用できる。またこれらの流体に氷やプラスチック片、研磨剤といった固体の粒子、粉体を含有した物を用いてもよい。

【0083】或いはまた、分離層に静圧を印加することにより分離を行うことも可能である。静圧を印加するためには、半導体基板100の周辺部の少なくとも一部を取り囲んで密閉空間を構成するための密閉空間構成部材、及び前記密閉空間内に外部の空間よりも高い圧力が印加できる圧力印加機構が必要となる。

【0084】流体は非常に微小な隙間へも流入し、内部の圧力を上げることが可能で、外圧を分散して印加できることが特徴である。また一部に極端に圧力がかけられないことから、もっとも分離し易い個所を選択的に分離させるという特徴がある。本発明のように、薄膜デバイス(回路)が既に作製されている薄層全面を分離するには最適の手段である。

【0085】また分離層101として、水素、窒素若しくはヘリウム等の希ガスをイオン注入したイオン注入層を利用する場合には、400-600℃程度の熱処理を施すことで、イオン注入により形成された微小気泡層が凝集する現象を利用して分離する。熱処理にはCO₂レーザー等のレーザーを利用することも可能である。

【0086】前記分離工程後、回路膜を含む部材105に分離層101の一部が在留することがある(以下残留分離層106)。この残留分離層106は必要に応じて、研磨、研削或いはエッチング等により、除去しても構わない。また除去せず、例えば水素を含む雰囲気中で熱処理する等してもよい。

【0087】なお、残留分離層106において、例えば半導体基板100としてシリコンウエハを利用する場合、残留シリコン領域は空乏化しており、高抵抗化されている。これにより一種SOI的なデバイスの高速化、低消費電力化が実現されるので、特に問題がなければ、除去することなく利用してもよい。

THIS PAGE BLANK (USPTO)

【0088】残された半導体基板100は、再び上述した回路膜を含む部材の作製に繰り返し利用することができる。

【0089】以上の説明では、半導体膜102にスイッチング回路103を形成して、回路膜104を形成したが、形成する回路はスイッチング回路に限定されず、シフトレジスタ回路、論理演算回路、昇圧回路、メモリ回路、ワイヤレス受信回路、CPU回路、DSP回路、電磁誘導回路、電池、センサー回路等表示装置を構成するための周辺回路であっても構わない。

【0090】また、分離層101の上に堆積する膜も半導体膜に限定されず、酸化シリコン等の絶縁体膜を用い、この上にMIM構造素子等を形成して回路膜を構成してもよい。またかかる絶縁体膜を介してさらにこの上に半導体膜を堆積し、この半導体膜に回路及び/又は集積回路を形成して回路膜を構成しても構わない。

【0091】(第6の実施形態) 回路膜を含む部材の作製方法の他の実施形態を図7に示す。

【0092】第5の実施形態と同様に、回路膜104を形成した後、分離工程に先立ち、回路膜上に接着層108を介して支持基板107を貼り合わせた。(図7(a))。その後、分離層を境にして、剥離・分離を行なう(図7(b))。

【0093】前記接着層としては、エポキシ系接着剤や他の接着剤を用いることができる。分離工程で液体を利用する場合、かかる液体が水系であれば、非水溶性の接着剤、非水系であれば水溶性の接着剤を利用することが望ましい。分離された回路膜を含む部材105には、接着層108を介して支持基板107が貼り付いているが、これら接着層108と支持基板107を除去後に、表示装置を構成する基板上に回路膜を含む部材を移設・配置しても、或いは支持基板を貼り付けたまま、表示装置を構成する基板上に移設・配置した後に、接着層108と支持基板107とを除去してもどちらでも構わない。回路膜105表面に接着層の残渣が残存している場合、必要に応じてこれを除去する。

【0094】また支持基板107に代えて直接表示装置を形成するための基板を回路膜上に貼り合わせてもよい。貼り合わせに先立ち、基板上に必用な配線等を形成しておく。接着はACFを利用する等して、貼り合わせ工程にて必用な結線を行ってもよい。この場合、基板上の配線やバンプなどの接続部材を形成しておく。

【0095】係る方法を採用すれば、分離工程が終了すると同時に回路膜が基板上に移設配置されると共に、結線も完了することになる。ここで、上記基板は既に回路膜を貼り合わせ済みのものを利用してもよいことはいふまでもない。

【0096】(第7の実施形態) 次に複数のチップ状の回路膜の作製方法に関して、図8を用いて説明する。

【0097】先の実施形態と同様に、回路膜104を形

成した。(図8(a))。回路毎に或いは幾つかの回路の集合体ブロック毎に切断し分割して、複数のチップにチップ化する。

【0098】図8では、回路として周辺回路109を形成しているが(図8(a))、スイッチング回路でも構わない。回路膜を含む部材をチップ化するために、回路毎に或いは幾つかの回路の集合体ブロック毎に切り込み溝110を形成する(図8(b))。

【0099】切り込み溝110は、通常用いられるダイシング装置を用いて作製することができる。その他、エッチング、レーザーアブレーション、超音波カッターや高圧ジェット(例えばウォータージェット)等を用いて作製してもよい。エッチングによる場合には、HF+H₂O₂、HF+HNO₃、アルカリ溶液等のエッチング液を用いることができる。レーザーによる場合には、YAGレーザー、CO₂レーザーやエキシマレーザー等を利用することができる。

【0100】切り込み溝110の先端は必ずしも分離層101まで到達していなくともよいが、好ましくは分離層101の内部或いは、半導体基板100と分離層101との界面付近に到達していることが好ましい。ただし、半導体基板100を再利用するために、該半導体基板100までは到達しないよう形成することが望ましい。分離層101が高多孔度層と低多孔度層を含み形成されている場合には、高多孔度層の内部或いはその界面付近に切り込み溝110の先端が到達することが好ましい。尚、切り込み溝110を形成する前に、分離後は個々のチップになる当該チップ間を、LOCOS(局所酸化)或いはメサエッチングして、チップ間には半導体膜が存在しないようにしておいてもよい。

【0101】引き続き、回路膜104を半導体基板100から分離して、チップ化された回路膜を含む部材105を作製する(図8(c))。

【0102】(第8の実施形態) 次に、チップ化された回路膜105を作製する場合の他の実施形態を図9にて説明する。

【0103】分離工程に先立ち、回路膜109の上に接着層108を介して支持基板107を貼り付ける。(図9(b))

支持基板ごと回路膜を剥離・分離(図9(c))した上で、回路膜側に回路毎に或いは幾つかの回路の集合体ブロック毎に、切り込み溝110を形成するものである(図9(d))。

【0104】この際、切り込み溝110の先端は必ずしも接着層108まで到達していなくともよい。この際例えば、支持基板107を伸縮自在の材料、例えばダイシング用フィルムで構成すると、これを伸ばすことにより、チップ化された回路膜105を取り出すことができる。

【0105】分離された回路膜105には、接着層10

THIS PAGE BLANK (USPTO)

8を介して支持基板107が貼り付けられているが、先ずこれら接着層108と支持基板107を除去した上で、表示装置を構成する基板上に回路膜を移設・配置しても、支持基板を貼り付けたまま、表示装置を構成する基板上に移設・配置した後に、接着層108と支持基板107とを除去してもどちらでも構わない。

【0106】また上記の実施形態では、切込み溝を回路膜側に入れた例を示したが、図9(d)において、支持基板07及び接着層108を含んで、全体に切り込み溝を入れても良い。

【0107】さらには、図9(c)では半導体基板100を分離した後に切り込み溝を入れているが、図9(b)にて半導体基板100が付いた状態の時に、支持基板側から回路基板に渡って切り込み溝を入れてチップ化してもよい。

【0108】(表示装置の製造方法)次に、本発明の表示装置の作製方法について説明する。

【0109】(第9の実施形態)スイッチング回路を形成した回路膜を実装した表示装置の製造方法を、表示部にマイクロカプセル型電気泳動表示を用いた場合を例として、図10を用いて説明する。

【0110】先ず基板200上に必要な配線201を形成する(図10(a))。基板200の材料としては、ポリエチレンテレフタレート(PET)、ポリエーテルサルフォン(PES)等のポリマーフィルム或いはガラス、石英等の無機材料を使用することができる。

【0111】配線201は、スパッタリングや蒸着法で形成するほか、メッキや印刷によって形成してもよい。また構成によっては、次に述べるスイッチング回路を形成した回路膜202を基板200上に配置した後に形成してもよい。

【0112】次に、スイッチング回路203を形成した回路膜202を、接着剤を介して貼り合わせる(図10(b))。貼り合わせに先立ち、必要に応じて、配線201の一部又はすべてを絶縁膜で被覆しておいてもよい。ここで図10(b)では、基板の表面に対して、回路膜を含む部材の回路面の裏面側を貼り合わせている(フェイスダウン接続)が、回路面を表にして裏面側を貼り合わせる(フェイスアップ接続)することも可能である。

【0113】フェイスダウン配置の場合、接着工程において、例えば、従来公知のフリップチップ実装で用いられるACFによる結線を行ってもよい。

【0114】またここで図10(b)では、1つのスイッチング回路を形成した回路膜202を貼り合わせているが、図2に構成を示した表示装置のように、複数の回路膜を貼り合わせて構成してもよい。

【0115】次にスイッチング回路を形成した回路膜202と配線201とを適宜結線する。或いは、必要に応じてコンタクトホール205を用いて層間の結線を行っ

てもよい(図10(c))。スイッチング回路203を例えばMOSFETで形成する場合、MOSFETのゲートをデータ線、ソース(またはドレイン)を走査線に結線する。

【0116】次に表示素子の第1電極206を、スイッチング回路を形成した回路膜上に形成する(図10(d))。この第1電極206は、表示素子の画素に対応するものであり、スイッチング回路203が例えばMOSFETで形成されている場合、MOSFETのドレイン(またはソース)と結線されるよう形成する。

【0117】或いは、回路膜を形成した後、予め第1電極を形成しておいてから、かかる第1電極を含む回路膜を形成した部材を基板に貼り合わせてもよい。

【0118】次に第1電極206上に、公知のマイクロカプセル型電気泳動セル207を複数個二次元的に充填する(図10(e))。マイクロカプセル型電気泳動セル207を充填するには、例えばシリコン樹脂やアクリル樹脂等の支持材に混ぜ合わせものを塗布する等する。

【0119】ここで用いられるマイクロカプセルは公知のものが利用可能であるが、外径が小さすぎるとコントラストが低下するため、20 μ m以上であることが望ましい。またマイクロカプセル中には、絶縁性の分散液と正又は負に帯電した帯電泳動粒子が内包されており、表示電極に印加された電界によって、前記帯電粒子が所定の電極側に移動することが可能な構成になっている。また、帯電粒子と分散液との比重を合わせるため、比重調整剤等を添加してもよい。さらには正又は負に帯電した2種類の帯電粒子を内包している構成でもよい。

【0120】次に第2電極209を表面に形成した表面保護板209を、第1電極206と第2電極208とが対向するようにマイクロカプセル型電気泳動セル207の上に配置する(図10(f))。表面保護板209は透明であれば、ガラス、プラスチック等材料に制限はない。また第2電極208にも矢張り透明性が要求されるので、酸化インジウム錫(ITO)等の透明電極材料を用いる。

【0121】尚、マイクロカプセルは機械的に必ずしも強固ではないので、第1電極206と第2電極208間のギャップを適切な間隔に保つことを目的として、不図示のスペーサーを適宜配置しておいてもよい。スペーサーとしては、液晶表示装置で利用される各種絶縁性ビーズの他、厚膜レジスト層をパターニングして作製してもよい。ギャップは20-100 μ mである。

【0122】また予め第2電極209を表面に形成した表面保護板209上に、マイクロカプセル207を複数個ラミネートした部材を用意し、第1電極206上に貼り合せて、図10(f)の構造を作製してもよい。

【0123】最後に第2電極208との結線を行い、接着剤等でシーリング210を行うことにより、マイクロ

THIS PAGE BLANK (USPTO)

カプセル型電気泳動表示装置が完成する（図 10 (g)）。

【0124】以上の説明において、スイッチング回路を形成した回路膜 202 を基板 200 上に貼り合わせた後、表示部を順次構築した。また予め回路膜上に表示部を形成した後、これを一体として分離基板より分離した部材を表示素子基板に貼り合わせてもよい。

【0125】また表示部として、マイクロカプセル型電気泳動表示として説明を行ったが、この表示方式に限定されるものではなく、液晶表示、電気泳動表示、インプレーン型電気泳動表示、ツイステッド・ボール表示、EL 表示等電気アドレス方式の表示方法など、適宜必要なデバイス構成を用意して応用することができる。

【0126】（第 10 の実施形態）次に、表示部としてインプレーン型電気泳動表示を用いた場合を例として、スイッチング回路を形成した回路膜を実装した表示装置の作製方法について、図 11 を用いて説明する。

【0127】前述した図 10 と同様に、表示素子基板 200 上に、スイッチング回路を形成した回路膜 202 を配置し、配線 201 とを適宜結線 204 する。

【0128】次に表示素子用の画素電極として、第 1 電極 206 をスイッチング回路を形成した回路膜上に形成し、さらにその上に絶縁層を形成する（図 11 (a)）。この第 1 電極 206 は、スイッチング回路 203 が例えば MOSFET で形成されている場合、MOSFET のドレイン（またはソース）と結線されるよう形成する。或いは、回路膜を形成した後、予め第 1 電極を形成しておいてから、第 1 電極付きの回路膜を基板に貼り合わせてもよい。

【0129】第 1 電極の材料としては、パターニング可能な導電性材料などのようなものを用いてもよい。但し、第 1 電極 206 は必ずしも、画素に対応するものではなく、全面素共通のコモン電極として形成しても構わない。その場合、後述する第 1 電極と一対を成す第 2 電極を画素に応じて分割し、スイッチング回路 203 と結線する。

【0130】この第 1 電極と第 2 電極との構成の一例を図 12 に示す。

【0131】図は各画素単位の概略構成図であり、上段が平面図、下段が断面図である。

【0132】先ず、図 12 (a) に示す形状で画素電極としての第 1 電極 206 を形成し、絶縁層 211 を介して各画素共通のコモン電極として第 2 電極 208 を設ける。はである。

【0133】ここで観察者から見ると、画素に占める第 2 電極 208 面積は第 1 電極 206 に比べて小さいことが好ましい。インプレーン型電気泳動表示では、帯電泳動粒子が第 2 電極上に静電吸着された場合と、第 1 電極上に静電吸着された場合との間での、帯電泳動粒子の画素面内分布の変化を以って表示コントラストを発生させ

るので、コントラストを高める目的からは、一対の電極のうちどちらか一方の面積を他方に対してできるだけ小さくすることが重要である。ただし余りにこの比を大きくしても、帯電泳動粒子が大面積側の電極上に均一分布しない、或いは小面積側の電極上で溢れかえるといった問題が発生するので、6 : 4 - 8 : 2 位が適当である。

【0134】一方、図 12 (b) では、第 1 電極 206 が全面素共通のコモン電極になっている。よって、絶縁層 211 を介して設けられた第 2 電極 208 の方を各画素毎に分割し、これとスイッチング回路 203 とを結合する必要がある。

【0135】また画素電極の形状に関しては、図 12 (c) 及び図 20 (d) に示すように、逆に第 1 電極 206 の面積が小さい形状でも可能である。図 12 (c) は、第 1 電極 206 が各画素毎に分割されていてスイッチング回路 203 に結線されており、これに絶縁層 211 を介して設けられた第 2 電極 208 がコモン電極となっている場合である。一方、図 20 (d) は逆に、第 1 電極 206 がコモン電極で、これに絶縁層 211 を介して設けられた第 2 電極 208 が各画素毎に分割されていてスイッチング回路 203 と結線されている場合である。

【0136】絶縁層 211 の材料としては薄膜でピンホールが形成しづらく、かつ誘電率の低い材料が好ましく、例えば、アモルファスフッ素樹脂、高透明ポリイミド、PET、アクリル系樹脂、エポキシ系樹脂等を使用できる。またこの絶縁層は、背景色として機能させるため、前記樹脂に顔料を混ぜ合わせて適切な色に着色しておく。

【0137】顔料としては、例えば背景色が白色の場合、アルミナ微粒子、酸化チタン微粒子、印刷用の白色有機顔料等を利用することができる。勿論、反射層（顔料を含む背景色層）と絶縁層とを積層構造で形成してもよい。絶縁層 211 の膜厚としては、100 nm - 1 μm 程度が好適である。このような絶縁層 211 を第 1 電極 206 上に、スピンコート法や印刷により塗布する。

【0138】なお図 12 で示した各電極や絶縁層の形状は、一例であって図面の形状に限定されるものではない。例えば、図 12 (a)、(b) では第 2 電極 208 の形状について、1 本のストライプ状に描かれているが、複数本であったり、第 1 電極 206 を取り囲むような口の字型であってもよい。また図 12 (c)、(d) では、第 1 電極 206 の形状について、1 つの円形状として描かれているが、複数のドット形状であったり、四角形状であってもよい。また画素の形状も図面の形状に限定されるものではなく、例えば、六角形を成すものであってもよい。

【0139】図 12 に示す画素の寸法については、画素寸法が増すと帯電粒子の移動距離の増加し、駆動電圧やスイッチング時間の増大を引き起こすので、ある程度小

THIS PAGE BLANK (USPTO)

さくする必要がある。係る観点から画素の寸法は10-200 μ m角、より好ましくは50-150 μ m角程度であることが好ましい。もし低解像度の表示装置が必要であれば、これら微小な画素を電気配線的に幾つかまとめたものを、1画素として取り扱えばよい。

【0140】引き続き図11に戻って、表示装置の作製方法について説明する。

【0141】絶縁層211の上にコモン電極としての第2電極208を形成する(図11(b))。その後、必要に応じて適宜結線204を配置する。尚、前述したように構成によってはこの第2電極が画素毎に分割され、スイッチング回路203と結線される場合も有り得る。図12(a)及び図20(b)に示す構成の場合、第2電極は何色でもよいが、後述する帯電泳動粒子の色とほぼ同等の色に着色することが好ましい。また図12

(c)及び図12(d)に示す構成の場合、絶縁層211が背景色に着色されている場合には、第2電極は透明材料を用いて形成しておく必要がある。また第2電極を非透明材料で形成し、その上に適切な背景色を有する層を形成してもよい。

【0142】次に、必要に応じて第2電極208表面を、透明の表面保護層212で被覆する。この際同時に絶縁層211も被覆されても構わない。表面保護層212の材料としては、例えば、アモルファスフッ素樹脂、高透明ポリイミド、PET、アクリル系樹脂、エポキシ系樹脂等を使用できる。表面保護層212の膜厚としては、100nm-1 μ m程度が好適である。

【0143】次に、障壁213を形成する。障壁213の作製方法としては、例えば、厚膜レジストを堆積したものをパターンニングすればよい。この障壁213は後述する表面保護板との間に電気泳動液を保持するための空間を規定するためと、帯電粒子の画素間でのマイグレーションを防止するために設けられる。後者の観点からは、各画素毎に障壁を設けること理想的ではあるが、必ずしも画素毎に設ける必要はなく数-数10mm毎に設けてもよい。障壁213の高さとしては、用いる帯電泳動粒子の粒径に依存するが、数-100 μ mであり、好ましくは5-50 μ mである。尚、先に述べた表面保護層212の形成の前に障壁213を形成し、その後隔壁を含めて第2電極208を被覆するよう表面保護層212を形成しても構わない。

【0144】次に電気泳動液214を注入する(図11(c))。電気泳動液214は着色された帯電粒子を分散液に分散させたものであり、先に説明したマイクロカプセル型電気泳動表示セルで用いられるものと同等の材料が利用できる。

【0145】即ち帯電粒子としては、電界により泳動可能で、着色された有機或いは無機材料であり、微粒子状であれば利用可能である。具体的には例えば、粉砕カーボンや、顔料粒子の他、シリカビーズ、スチレン樹脂ビ

ーズやアクリル樹脂ビーズにカーボンや顔料を混ぜ合わせたり被覆したりしたものである。粒径に制限はなく、通常0.01-50 μ m程度のものを使用できるが、好ましくは、0.1-10 μ m程度のものを用いる。

【0146】分散液としては、シリコンオイル、オリブオイル等の油類、イソパラフィン等の脂肪族、キシレン、トルエン等の芳香族或いはハロゲン化炭化水素等の絶縁性液体を用いる。

【0147】更に必要に応じて、分散液中、或いは帯電泳動粒子中には、帯電泳動粒子の帯電を制御、安定化させるために荷電制御剤、例えばモノアゾ染料の金属錯塩、サリチル酸、有機四級アンモニウム塩、ニグロシン系化合物等を添加しておく。

【0148】また、帯電泳動粒子同士の凝集を防ぎ分散状態を維持するために、さらに分散剤を分散液中に添加してもよい。分散剤としては、燐酸カルシウム、燐酸マグネシウム等の燐酸多価金属塩、炭酸カルシウム等の炭酸塩、その他無機塩、無機酸化物、或いは有機高分子材料等を用いることができる。

【0149】また、帯電泳動粒子と分散液との比重を合わせるため、比重調整剤等を添加してもよい。インプレーン型電気泳動表示の場合には、かかる分散液が染料で着色されている必要はなく無色透明でよい。

【0150】最後に表面保護板209とシーリング210を用いて、表示部を封止することにより、インプレーン型電気泳動表示装置が完成する(図11(d))。表面保護板209は透明であれば、ガラス、プラスチック等材料に制限はない。

【0151】以上の説明において、スイッチング回路を形成した回路膜202を基板200上に貼り合わせた後、表示部を順次構築したが、予め回路膜上に表示部を形成した後、これを一体として分離基板より分離した部材を基板に貼り合わせて、表示装置を作製してもよい。

【0152】また、隔壁213の形成及び電気泳動液214を注入する代わりに、第17の実施形態で説明したマイクロカプセル型電気泳動セルを二次元的に充填配置してもよい。即ちインプレーン型電気泳動表示でもマイクロカプセル型電気泳動表示セルを利用することは可能である。

【0153】またスイッチング回路を形成した回路膜に加えて、周辺回路を形成した回路膜を実装した表示装置の作製方法についても、予め周辺回路部を表示素子の基板に形成するか、或いは画像表示素子部のスイッチング回路部と同時に形成することによっても、同様に形成可能である。

【0154】(第11の実施形態)次に周辺回路を形成した回路膜、スイッチング回路を形成した回路膜、表示部を順次積層した表示装置の作製方法について、インプレーン型電気泳動表示装置を例として、図13を用いて説明する。

THIS PAGE BLANK (ISPTO)

【0155】まず、基板200上に必要な配線201を形成する(図13(a))。次に周辺回路を形成した回路膜215を接着剤で貼り合わせる(図13(b))。ここでは、周辺回路を形成した回路膜を含む部材215を複数個実装しているが、一体化したものを実装してもよい。また貼り合わせに先立ち、必要に応じて、配線201の一部又はすべてを絶縁膜で被覆しておいてもよい。次に必要に応じて結線204を行う(図13(c))。

【0156】次に絶縁層216で周辺回路を形成した回路膜の表面を被覆する。この工程は、回路膜を分離基板から剥離・分離する前に実施しておいてもよい。

【0157】引き続き、スイッチング回路を形成した回路膜202を接着剤で貼り合わせる。適宜コンタクトホール205等を用いて、周辺回路を形成した回路膜とスイッチング回路を形成した回路膜とを結線する(図13(d))。ここで、スイッチング回路を形成した回路膜202が絶縁層を有している場合等、必ずしも回路膜間の絶縁層216を形成しなくてもよい場合がある。

【0158】また上記スイッチング回路を形成した回路膜202は、必要に応じて複数個に分割したものを実装してもよい。

【0159】またこのスイッチング回路を形成した回路膜に併せて、スイッチング回路や周辺回路部を駆動するための駆動回路も一体に形成しておくことも、両回路間の結線を確実にする上から好ましい。

【0160】この上に先の実施形態と全く同様にして、インプレーン型電気泳動表示部を構築する(図13(e))。

【0161】また上記説明の順序とは異なって、予めスイッチング回路を形成した回路膜の上に表示素子部を形成した後、これを一体として分離基板より分離した部材を、周辺回路を形成した回路膜を含む部材215上に貼り合わせて、表示装置を作製してもよい。

【0162】ここでは表示部として、インプレーン型電気泳動表示として説明を行ったが、この表示方式に限定されるものではない。

【0163】以上説明したように、基板200上に分離された回路膜215を貼り合わせたが、分離前の回路膜に基板または既に回路膜を貼り合わせ済みの基板を貼り合わせた上で、分離を行っても構わない。また分離前の回路膜上に表示部を形成した後、分離し、基板または既に回路膜を貼り合わせ済みの基板に貼り合わせてもよい。

【0164】また表示素子の構成に関して、スイッチング回路部及び表示部を基板の一方の表面に順次積層し、周辺回路部を形成した回路膜を基板の他方の表面に形成することも可能である。

【0165】予め表示素子の基板の第二の表面(裏面)に周辺回路部を含む回路膜を形成しておく。その後第一の表面(表面)に、順次スイッチング回路部を含む回路

膜を形成し、前述の方法にて表示素子を適宜形成してゆくことで、容易に実施可能である。

【0166】また反対に第1の基板の表面側に素子を先に形成しても良いが、一般に周辺回路部の形成を先にした方が、周辺回路部の形成時に受ける表示素子部のダメージが少なくなるので、裏面側に周辺回路を先に形成した方が好ましい。

【0167】最終的な形態を図14に示す。

【0168】また、表示素子の基板の裏面側に周辺回路部を含む回路膜を形成する過程に於いて、第3の基板を介して形成することも可能である。

【0169】第3の基板としては、ガラス基板やガラスエポキシ基板などの硬質基板、或いは、樹脂フィルムを用いることができる。先に示した工程と同様に、第3の基板上に周辺回路部を形成し、それを含む回路膜215を接着剤を介して、第3の基板上に貼り付ける。その基板をそのまま接着剤を介して、表示素子用の基板の裏面に貼り合わせることによって、表示素子を形成する。

【0170】また第3の基板上の電気配線と表示素子用の基板上の配線との結線についても、直接ワイヤーボンディングなどで結線してもよい。また第3の基板が可撓性のあるフィルムである場合は、取り出し配線部で折り曲げるなど、裏面に接着する以外に多様な実装方法が可能になる。

【0171】

【実施例】(実施例1)本実施例では、図3に示す構成の表示装置を作製した。作製工程は概ね図に準拠するのである、以下図11を参照しつつ説明する。

【0172】ポリエチレンテレフタレート(PET)フィルムからなる基板200にアルミニウムをパターニングして必要な配線201を形成し(図11(a))、次にこの上にスイッチング回路部203を形成した回路膜202をフェイスアップの向きに熱硬化性接着剤を用いて貼り合わせた(図11(b))。その後アルミニウムのメタライゼーション217を施し、配線201と所望の導通を行った(図11(c))。

【0173】以下、スイッチング回路部を形成した回路膜202の作製方法について記す。作製工程は概ね図6、図7に準ずるものである、同図を参照しつつ説明する。

【0174】直径300mmの比抵抗0.01Ω・cmのp型単結晶シリコン基板100を、HF中において陽極化成を行ない、多孔質シリコン層からなる分離層101を形成した(図6(a))。

【0175】陽極化成の条件は以下の通りであった。

電流密度: 7mA・cm⁻²、陽極化成溶液: HF:H₂O:C₂H₅OH=1:1:1、時間: 11分、多孔質シリコンの厚み: 12μm、

多孔質シリコン層は、当該多孔質シリコン層上に高品質エピタキシャルシリコン層を形成させることができ、さ

THIS PAGE BLANK (USPTO)

らに分離層として用いることができるよう多孔度を調整し、20%とした。

【0176】この単結晶シリコン基板を酸素雰囲気中400℃で1時間酸化した。この酸化により多孔質シリコンの孔の内壁は熱酸化膜で覆われた。この多孔質シリコン層の表面を弗酸で処理し、孔の内壁の酸化膜を残して、多孔質シリコン層の表面の酸化膜のみ除去した。次に、多孔質シリコン層上にCVD法により単結晶シリコンを0.15μmエピタキシャル成長せしめて半導体膜102を形成した(図6(b))。

【0177】成長条件は以下の通りである。

ソースガス: SiH₂Cl₂/H₂、ガス流量: 0.5/180リットル/分、ガス圧力: 80 Torr、温度: 950℃、成長速度: 0.3μm/分エピタキシャル成長に先立って、水素含有雰囲気中の熱処理を行った。これは、表面孔を封止するために行うものである。本熱処理に加えて、微小なシリコン原子を原料ガス等により付加し、その表面孔封止を補ってもよい。

【0178】ここにできた基板は、エピタキシャル成長シリコン層の下に多孔質層が形成されていること以外は、通常用いられているエピウエハと同質のウエハとして扱うことができる。

【0179】このエピタキシャル成長シリコン層からなる半導体膜102に、ウエハの中央対角280mm(11インチ)の領域にアクティブ・マトリクス用のスイッチング回路部103を形成した(図6(c))。スイッチング回路部は、従来公知のMOSFETとキャパシタを利用するものであった。

【0180】次に支持基板107であるガラス板に、接着剤を介して、このスイッチング回路部を含む回路膜202を接着した(図7(a))。

【0181】次に、分離層101として機能する多孔質シリコン層で分離を行った(図7(b))。分離にはウォータージェットを用いた。回路膜上に残存した分離膜を除去した後、支持基板107を接着したまま、分離層側に接着剤を付与し、基板200上の所定の位置に貼り合わせた。その後、支持基板107と接着層108を除去した。これで回路膜202としては、基板上にフェースアップの方向で配置された。

【0182】さらに表示装置の作製方法について説明する。

【0183】また、走査線駆動回路やデータ線駆動回路を形成した周辺回路を形成した回路膜を上述の回路膜202と同様の手法により作製し、基板200上の所定の位置に貼り合わせた。

【0184】その後メタライゼーション217により、基板上の配線と所望の導通を取った。

【0185】これらの回路膜202は、チップ化したものをを用いたので、以下その作製方法について、図8を参照しながら説明する。周辺回路を形成する工程までは、

先に述べたスイッチング回路を形成した回路膜の形成方法と略同様である。

【0186】回路膜表面に不図示のダイシングフィルムを貼付けた後、ダイシングを行い、切り込み溝110を形成した。(図8(b))。切り込み溝の先端は、分離層109である多孔質シリコン層にまで達していた。ウォータージェットを切り込み溝110及び分離層109に吹き付け、チップ化された回路膜105を得た(図8(c))。

10 【0187】引き続き、スイッチング回路を形成した回路膜202上に、インプレーン型電気泳動表示による表示部を形成した。画素の形状は図12(c)に示すものとした。一面素サイズは125μm×125μmで、観察者から見て、第1表示電極が画素に占める見かけの面積比を20%とした。

【0188】まず、スイッチング回路を形成した回路膜をアクリル樹脂で被覆して平坦化を行った後、スイッチング回路のドレインと第1電極が結線できるよう適宜コンタクトホール等を形成した上で、第1電極206として20 黒色レジストで被覆したチタン膜を成膜し、画素毎に分断されるようパターンニングを行った。

【0189】次に、白色の酸化チタン微粒子を分散させたアクリル樹脂からなる絶縁層211を、厚さ10μmで全面に形成した(図11(d))。次に第2表示電極208としてITOをマグネトロンスパッタ法により低温成膜し、フォトリソグラフィ及びCF₄及びO₂ガスによる反応性ドライエッチングにより第1電極が、画素面積に対して20%露出するよう、凹形状にパターンニングした。

30 【0190】次に、厚膜レジスト(商品名: THB、JSR社製)を20μmの膜厚で塗布し、続いてかかるレジスト膜を露光・現像して高さ20μmの障壁213を形成した。隔壁の厚さは10μmで1.25mmピッチに形成した。

【0191】次に、隔壁表面を含む全表面に渡ってアモルファスフッ素樹脂からなる表面保護層212を200nm厚に形成した(図11(e))。

【0192】次に形成された隔壁内に黒色の帯電粒子と絶縁性の分散液からなる電気泳動液214を充填した

40 (図11(f))。黒色帯電粒子には粒径1から2μm程度のカーボンブラックを含有したポリスチレンーポリメチルメタクリレート共重合体樹脂を使用した。分散液としてはイソパラフィン(商品名: アイソパー、エクソン社製)を使用し、荷電制御剤としてコハク酸イミド(商品名: OLOA1200、シェブロン社製)を含有させた。

50 【0193】次に、厚さ100μmのポリカーボネート製の表面保護板209に熱融着性の接着層パターンを形成し、隔壁213上に、位置合わせを行ないながら該表面保護板209を置き、熱をかけて貼り合わせた。最後

THIS PAGE BLANK (USPTO)

にエポキシ樹脂接着剤が必要個所をシーリング 210 してシート状の表示装置を完成させた (図 11 (g))。完成した表示装置の構成は、概ね図 3 に示したものと同等であった。

【0194】完成した表示装置に電源、コントローラ、D/Aコンバーター等を接続し、マトリクス画像表示を行ったところ、表示装置を曲げた状態でも表示可能であった。一方、分離して残った半導体基板は、リサイクルが可能であり、回路及び/又は集積回路を形成する層は、繰り返しの度に新規にエピタキシャル成長した層

であるので、繰り返すことによる回路特性の劣化や表示装置の表示特性の劣化は認められなかった。

【0195】(実施例 2) 表示部としてインプレーン型電気泳動表示に代えて、マイクロカプセル型電気泳動表示に変更したほかは、実施例 1 と全く同様にして、表示装置を作製した。

【0196】スイッチング回路部を形成した回路膜 202 上にマイクロカプセル型電気泳動表示を形成する工程については、図 10 を参照しつつ説明する。

【0197】まず、スイッチング回路を形成した回路膜上に、第 1 電極 206 としてアルミニウム膜を 200 nm 厚に成膜し、画素毎に分断されるようパターニングを行った (図 10 (d))。

【0198】次に、帯電粒子及び分散液を内包したマイクロカプセル型電気泳動セル 207 を分散重合法により作製した。帯電粒子には、酸化チタン微粒子を用いた。該粒子の平均粒径は、約 1.5 μm であった。分散液には、青色色素を溶解したイソパラフィン (商品名: アイソパー、エクソン社製) を使用した。カプセル壁材料としては、ゼラチンを使用した。作製したマイクロカプセルの径は、平均で約 50 μm であった。

【0199】次に、作製したマイクロカプセル型電気泳動セル 207 をシリコン樹脂及びその架橋剤と共に混合し、これを第 1 電極 206 を含む面上に、マイクロカプセル型電気泳動セル 207 が単粒子層になるよう様に塗布した (図 10 (e))。次に、PET フィルムからなる表面保護板 209 に、第 2 電極 208 として ITO をマグネトロンスパッタ法によって低温製膜したものを、マイクロカプセル型電気泳動セル 207 上に配置し (図 10 (f))、最後にエポキシ樹脂接着剤が必要個所をシーリング 210 してシート状の表示装置を完成させた (図 10 (g))。完成した表示装置に電源、コントローラ、D/Aコンバーター等を接続し、マトリクス画像表示を行ったところ、表示基板がプラスチックフィルムのために、表示装置を曲げた状態でも表示可能であった。

【0200】(実施例 3) 実施例 1 においては、分離層を構成する多孔質層は 1 層であったが、本実施例においては、多孔度の異なる 2 層の多孔質層とした。

【0201】まず、単結晶シリコン基板表面の陽極化成

を以下の条件で行った。

電流密度: $8\text{mA} \cdot \text{cm}^{-2}$ 、陽極化成溶液: HF: H_2O : $\text{C}_2\text{H}_5\text{OH}$ = 1: 1: 1、時間: 5 分、多孔質シリコンの厚み: 6 μm 、

その後、さらに以下の条件で陽極化成を行った。

電流密度: $33\text{mA} \cdot \text{cm}^{-2}$ 、陽極化成溶液: HF: H_2O : $\text{C}_2\text{H}_5\text{OH}$ = 1: 1: 1、時間: 80 秒、多孔質シリコンの厚み: 3 μm

こうして、単結晶シリコン基板側から多孔度 45% の高多孔度層、更にその上に多孔度 20% の低多孔度層を形成した。その後、実施例 1 と全く同様の工程を経て、表示装置を作製した。

【0202】尚、2 層の多孔質層の厚さは、陽極化成条件を変えることによって変換することができる。

【0203】陽極化成液は、上記組成でなくてもよい。またエタノールの代わりにイソプロピルアルコール等の他のアルコールを用いてもよい。アルコールは界面活性剤として反応泡のウエハ表面付着を防止することを目的としているので、アルコールでなくて他の界面活性剤でもよく、界面活性剤を添加せずに、超音波で表面付着泡を除去してもよい。

【0204】完成した表示装置に電源、コントローラ、D/Aコンバーター等を接続し、マトリクス画像表示を行ったところ、先の実施例と同様に表示装置を曲げた状態でも表示可能であった。

【0205】(実施例 4) 本実施例においては、イオン注入層によって分離層を形成した例を示す。

【0206】まず、抵抗率 $14\Omega \cdot \text{cm}$ の p 型単結晶シリコン基板を用意した。面方位は $\langle 100 \rangle$ であった。この単結晶シリコン基板表面に、スイッチング回路として MOSFET とキャパシタを形成した。

【0207】その後、素子、回路形成層側から、所定の深さ (本実施例では、表面側から 10 μm の深さ) に水素イオンを注入して、イオン注入層を形成した。注入量は 10^{15} から 10^{17} 個 cm^{-2} であった。注入に際して、最表面に保護膜を形成した。この基板上に単結晶シリコン膜をエピタキシャル成長させ、これに前記スイッチング回路部を含む回路膜を作成した。

【0208】その後流体として水をイオン注入層側面に噴き付けて回路膜の分離を行った。またこの分離には、400-600℃で熱処理することでも分離を行うことも可能であった。

【0209】(実施例 5) 本実施例では、図 5 (b) に示す構成の表示装置を作製した。

【0210】作製工程は概ね図 13 に準拠するものであるので、以下図 13 を参照しつつ説明する。

【0211】ポリエチレンテレフタレート (PET) フィルムからなる基板 200 上に、アルミニウムをパターニングして必要な配線 201 を形成した (図 13 (a))。次に、周辺回路部を形成した回路膜 215

THIS PAGE BLANK (USPTO)

を、実施例 3 で説明した回路膜と同様の方法により作製し、基板 200 上の所定の位置に貼り合わせた (図 13 (b))。

【0212】回路膜に形成した回路及び集積回路は、昇圧回路、D/A 変換回路、クロック回路、CPU 回路、ワイヤレス受信回路、メモリを含むものであった。

【0213】この後、メタライゼーション 217 により、回路間、回路—配線間の結線を行った (図 13 (c))。次に、回路全面に渡って、アクリル樹脂で表面を被覆し、絶縁層 216 とした。この絶縁層 216 は同時に平坦化層を兼ねている。

【0214】次に、スイッチング回路を形成した回路膜 202 を、実施例 3 で説明した回路膜と同様の方法により作製し、前記絶縁層 216 上に貼り合わせた (図 13 (d))。最後に、走査線駆動回路及びデータ線駆動回路を含んだ周辺回路がある回路膜との結線を、適宜コンタクトホール 205 等を形成して行った。この上に実施例 1 と全く同様にして、インプレーン型電気泳動表示部を形成し、表示装置を完成させた (図 13 (e))。

【0215】完成した表示素子に電源として、シート状のリチウムイオン電池を基板 201 の裏面に貼付けた。表示動作を行ったところ、表示装置を曲げた状態でも表示可能であった。

【0216】(実施例 6) スwitching 回路として、単結晶シリコン膜で形成した回路膜を用いる代わりに、有機半導体としてポリ (3-ヘキシルチオフェン) を用いた有機 FET をスイッチング回路とした他は、実施例 2 と全く同様にして表示装置を作製した。ゲート絶縁膜には 180 nm 厚さの Si3N4 膜を用いた。

【0217】概ね図 3 に示した形状の表示装置を作成した。

【0218】完成した表示装置に電源、コントローラ、D/A コンバータ等を接続し、マトリクス画像表示を行ったところ、表示装置を曲げた状態でも表示可能であった。

【0219】(実施例 7) スwitching 回路部として MOSFET に代えて MIM 構造素子とした他は、実施例 2 と全く同様にして表示装置を作製した。MIM 構造は、半導体膜 102 を酸化させた後、クロム電極上にタリウムを蒸着し、タリウムを陽極酸化した後、更にタリウム、クロムを蒸着したものを用いた。

【0220】完成した表示装置に電源、コントローラ、D/A コンバータ等を接続し、マトリクス画像表示を行ったところ、表示装置を曲げた状態でも表示可能であった。

【0221】(実施例 8) 基板 200 を、両面に厚さ 500 nm の窒化シリコンを堆積させたポリイミド基板に変更し、スイッチング回路として非晶質シリコン TFT 構造素子とした他は、実施例 2 と全く同様にして表示装置を作製した。非晶質シリコン TFT ならびに電荷蓄積

用の画素コンデンサは従来公知の手法により形成した。

【0222】完成した表示装置に電源、コントローラ、D/A コンバータ等を接続し、マトリクス画像表示を行ったところ、表示装置を曲げた状態でも表示可能であった。

【0223】(実施例 9) 回路膜と基板上に形成された配線との電気的接続に関して、図 15 により説明する。

【0224】例えば、基板 1 上に接着剤によって配置された回路膜 402 をフェースアップ状態で配置した場合、基板 100 上に形成した配線 201 と回路膜中の配線部との接続の様子を図 15 に示す。

【0225】一般的にはワイヤーボンディング法による結線が簡便であり、多用されている。しかし接続密度が高く、接続配線間の幅が小さい時は、ワイヤーボンディング法は不適である。またフェースダウンボンディングの場合、基板上に形成したパンプ部と回路膜との端子部との接続位置合わせ時は、ともにその端子部が見えなくなるために、困難である。特に配線ピッチが小さく、配線幅が狭い時は、より困難になる。

【0226】そこで、基板に対して、回路膜 202 をフェースアップ接続することが有効である。こうすれば、接続位置が確認しやすく、上記位置合わせに伴う困難性が大きく改善される。

【0227】この時に、回路膜が十分に薄ければ配線 217 の膜厚をあまり厚くすることなく、接着材層と回路膜のステップカバレッジを十分に行うことができる。またメタライゼーションでは、上記配線密度が高い場合であっても、マスク蒸着によって簡便に接続用金属を配置することができる。

【0228】このようにフェースアップ接続により、図 15 に示すメタライゼーション 217 によって結線を行うことが有効である。またこのメタライゼーション 217 を利用して、回路膜中の回路部同士の結線にも用いることができる。

【0229】以上の実施例においては、表示部として、インプレーン型電気泳動表示或いはマイクロカプセル型電気泳動表示を用いて表示装置を構成したが、これら以外の表示方式であっても、電気アドレス方式で表示を行えるものであれば、どんな表示方式にも利用可能であって、例えば、液晶表示、EL 表示、通常の電気泳動表示、ツイステッド・ボール表示などに応用することができる。

【0230】

【発明の効果】以上述べたように本発明よれば、プラスチックを含むあらゆる基板上にスイッチング回路や周辺回路を実装した高性能な駆動回路を搭載でき、薄くて高性能な表示装置を提供することができる。またフィルム基板を用いることでフレキシブル・シート状の表示装置を容易に提供することができる。

THIS PAGE BLANK (USPTO)

【図面の簡単な説明】

【図 1】本発明の表示装置の一例を示す模式的上面図ならびに断面図である。基板 1 上に、画素 21 毎に対応したスイッチング回路 31 を有するスイッチング回路部 3 が形成された回路膜 34 が移設配置され、その上に表示部 2 が形成されている。

【図 2】本発明の表示装置の一例を示す模式的上面図ならびに断面図である。集積化された回路膜 32 が 9 個の画素を駆動するように配置されている。

【図 3】本発明の表示装置の一例を示す模式的上面図ならびに断面図である。走査線駆動回路 41、データ線駆動回路 42 を含む周辺回路部 4 が移設配置された図を示す。

【図 4】本発明の表示装置の一例を示す模式的上面図ならびに断面図である。基板 1 上に周辺回路を形成した回路膜 64 を配置し、平坦化層 61 を介してスイッチング回路の駆動回路を形成した回路膜 63 が積層配置され、この上に表示部 2 が積層されて形成された素子を示す図。

【図 5】本発明の表示装置の一例を示す模式的上面図ならびに断面図である。表示素子の基板 1 の裏面側に周辺回路部 4 が配置されている例を示す図。(a) は基板 1 に直接接着され、(b) は第 3 の基板 74 を介して接着された図を示す。反対面の回路膜 3 との電機接続は FPC 73 で接続されている。

【図 6】本発明に用いる回路膜の形成方法を示す模式的断面図である。基板 100 上に分離層 101 を形成し、この上に半導体膜 102 を形成し、これにスイッチング回路 103 を作成後、分離層から分離して回路膜 105 を取り出す。

【図 7】本発明に用いる回路膜の形成方法を示す別の模式的断面図である。支持基板 107 を接着した後、分離層で分離している。

【図 8】本発明に用いる回路膜の形成方法に関して、回路膜 109 をチップ状に切断して取り出すことを示す別の模式的断面図である。予め切り込み溝 110 を入れた後、分離層から分離する。

【図 9】本発明に用いる回路膜の形成方法に関して、回路膜 109 をチップ状に切断して取り出すことを示す模式的断面図である。支持基板 107 に一度接着してから、切り込み溝 110 を入れた後、接着層 108 から分離する。

【図 10】マイクロカプセル 207 を利用した本発明の表示装置の一例を示す模式的断面図である。

【図 11】本発明の駆動回路を利用した本発明のインプレーン型電気泳動表示素子の一例を示す模式的断面図である。

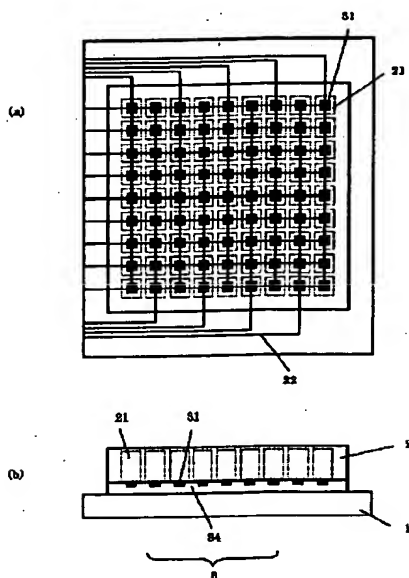
【図 12】電気泳動表示素子に利用できる画素電極の一例を示す図である。

【図 13】本発明の回路膜を含む表示素子の作製方法の一例を示す工程図である。

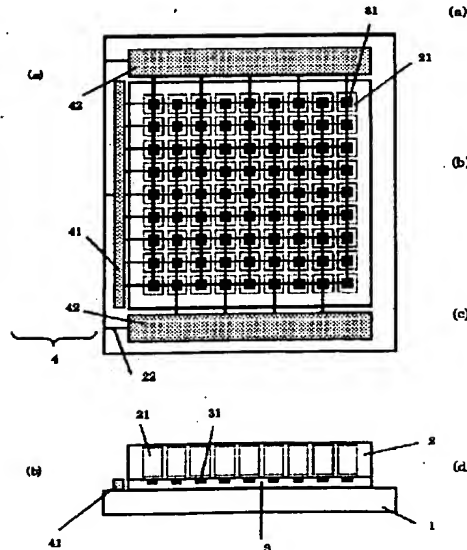
【図 14】本発明の回路膜を含む表示素子の別な構成例を示す図である。

【図 15】本発明の回路膜を基板上にフェースアップ実装した図である。基板 1 上に回路膜 3 を接着層 402 にて接着している。メタライゼーション 217 により基板 1 上の配線 22 とのコンタクトを取っている。スイッチング回路 31 内の端子部 401 を含めて、同時に接続している。

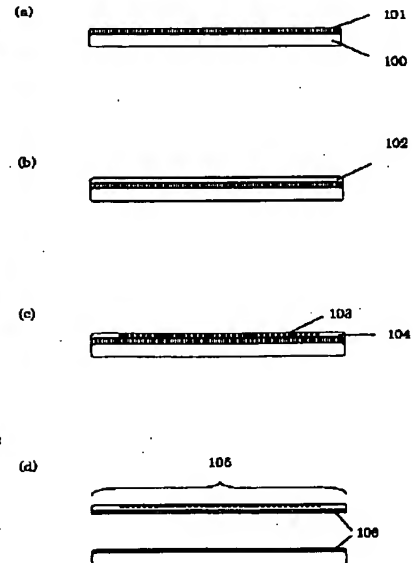
【図 1】



【図 3】

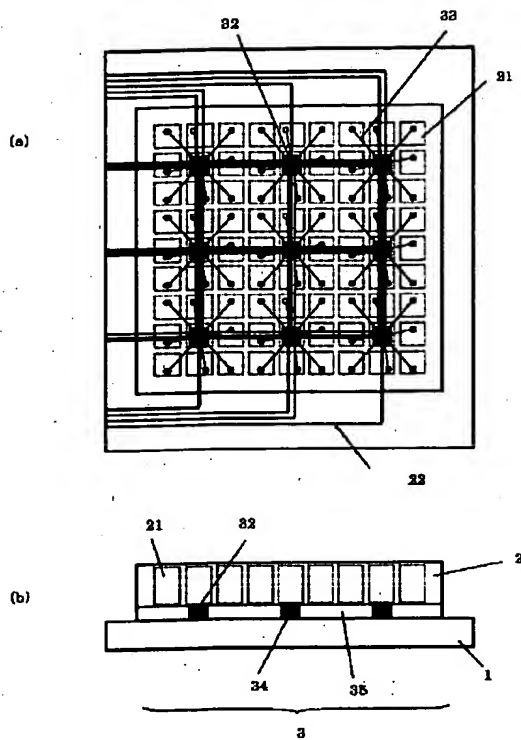


【図 6】

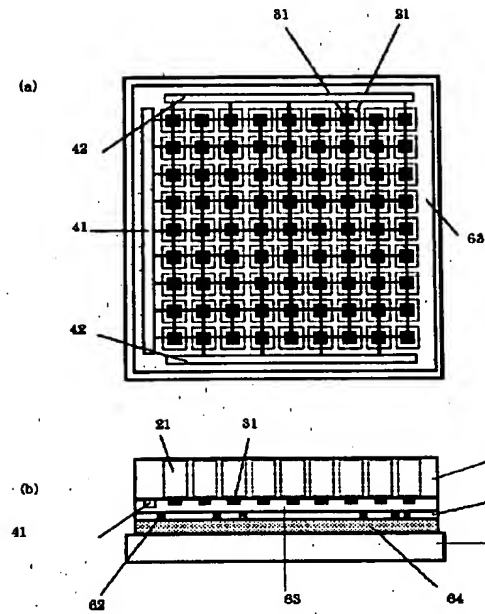


THIS PAGE BLANK (USPTO)

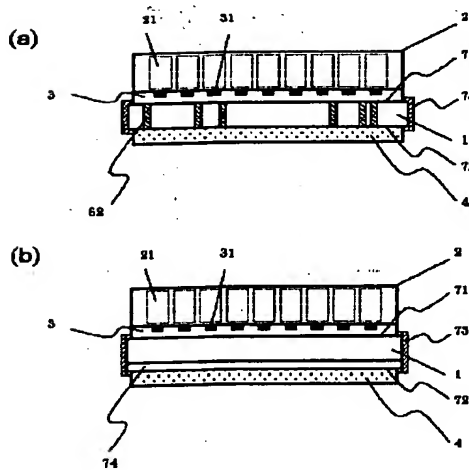
【図 2】



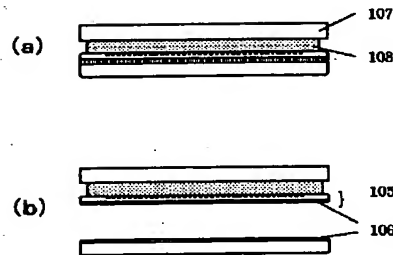
【図 4】



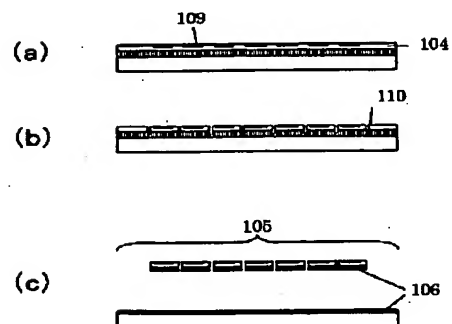
【図 5】



【図 7】

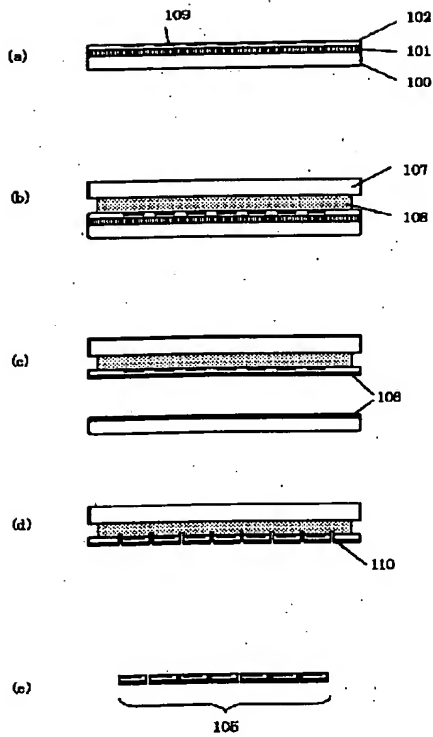


【図 8】

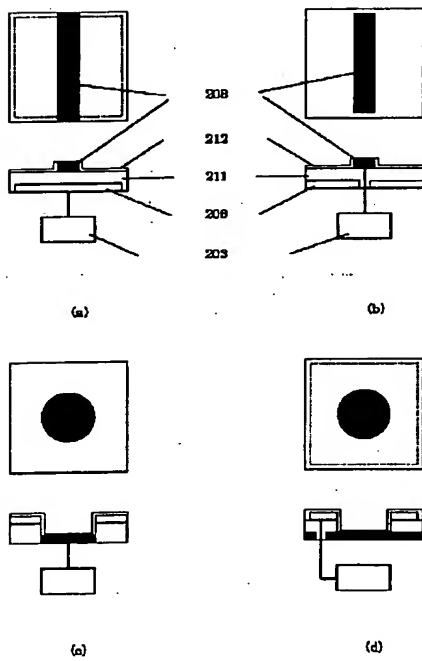


THIS PAGE BLANK (USPTO)

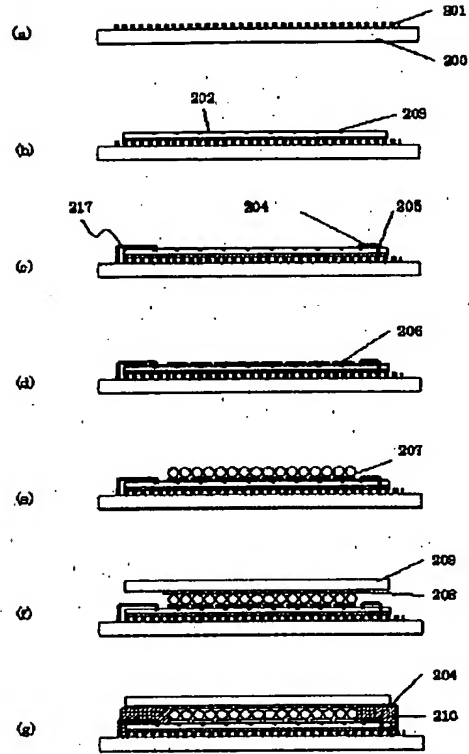
【図 9】



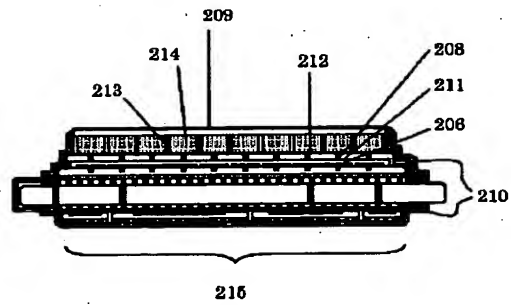
【図 12】



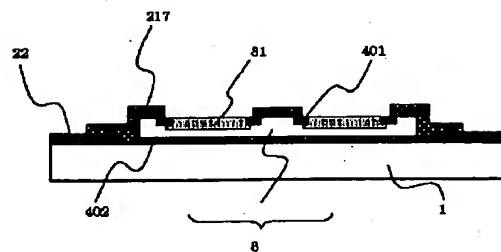
【図 10】



【図 14】

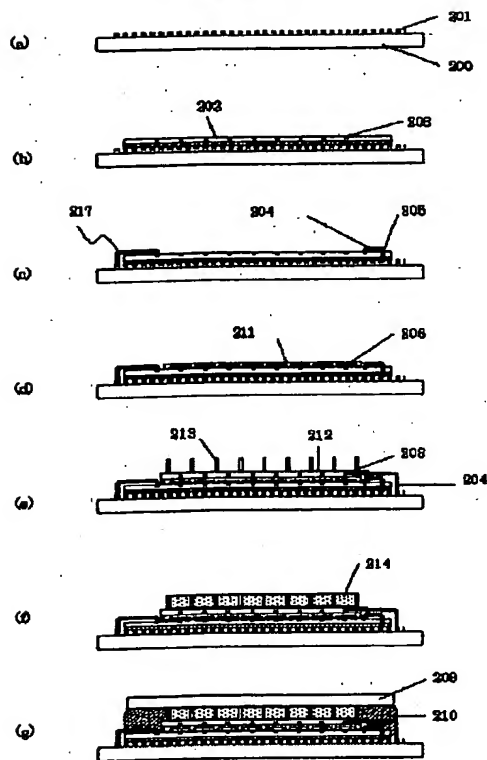


【図 15】

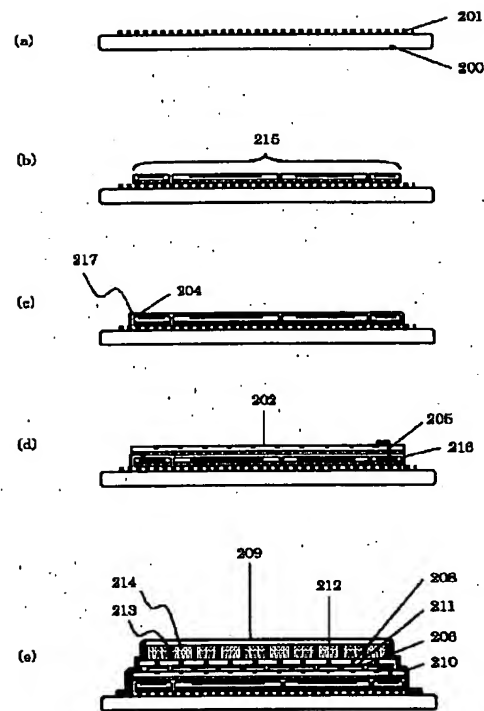


THIS PAGE BLANK (USPTO)

【図11】



【図13】



フロントページの続き

(72)発明者 池田 勉
東京都大田区下丸子3丁目30番2号キャノ
ン株式会社内

(72)発明者 坂口 清文
東京都大田区下丸子3丁目30番2号キャノ
ン株式会社内

(72)発明者 米原 隆夫
東京都大田区下丸子3丁目30番2号キャノ
ン株式会社内

Fターム(参考) 2H090 JB03 LA01 LA04
2H092 GA50 GA59 JA03 JA24 KB22
KB25 PA01 PA06

THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-258210

(43)Date of publication of application : 12.09.2003

(51)Int.Cl.

H01L 27/12
G02F 1/1333
G02F 1/1365
G02F 1/1368
H01L 21/02

(21)Application number : 2002-365031

(71)Applicant : CANON INC

(22)Date of filing : 17.12.2002

(72)Inventor : MATSUDA HIROSHI
KISHI ETSURO
IKEDA TSUTOMU
SAKAGUCHI KIYOBUMI
YONEHARA TAKAO

(30)Priority

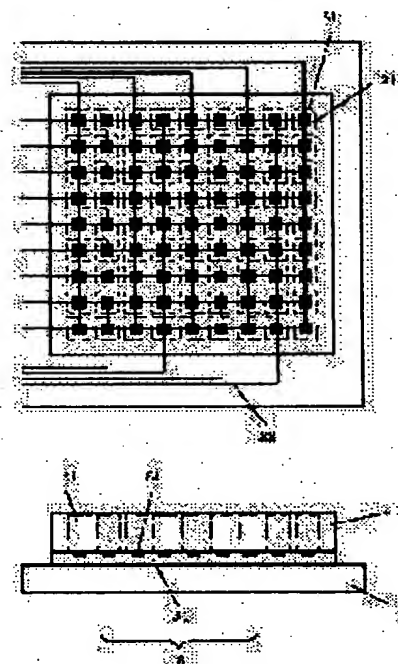
Priority number : 2001396723 Priority date : 27.12.2001 Priority country : JP

(54) DISPLAY DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To dispose a transistor having a high performance on a display board by forming a switching circuit for driving a pixel and a peripheral circuit, by transferring to dispose a semiconductor circuit formed on another board in a constitution of a display element.

SOLUTION: A method for forming the switching element for driving the pixel on the board of the display element and a circuit having the peripheral circuit for sending a drive signal to the element comprises the steps of forming a separate layer on the second board, and forming a semiconductor film on the layer. The method further comprises the steps of adhering the predetermined semiconductor circuit formed in the semiconductor film on the board of the display element, and then connecting to the wiring on the board.



LEGAL STATUS

[Date of request for examination] 04.11.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

THIS PAGE BLANK (USPTO)

application converted registration]

[Date of final disposal for application]

[Pat nt number]

[Date of r gistration]

[Number of appeal against examiner's decision
of r jection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the display which has arranged the switching circuit section and/or the circumference circuit section for driving the image display element section and this image display element section on the 1st substrate. Said switching circuit section and/or the circumference circuit section A formation production process which forms the circuit section containing said switching circuit section and/or the circumference circuit section into a circuit film arranged on the 2nd substrate, And a display characterized by being formed by carrying out a transfer production process which carries out transfer arrangement of said circuit film with which said circuit section was formed on the 1st substrate once [at least] or more.

[Claim 2] an adhesion production process which said transfer production process makes paste up said circuit film on said 1st substrate, and a separation production process which separates said circuit film from said 2nd substrate -- since - a display according to claim 1 characterized by being created.

[Claim 3] A display according to claim 1 characterized by carrying out transfer arrangement of said circuit film on said 1st substrate through 3rd at least one substrate.

[Claim 4] A display of claim 1 characterized by at least one of said the 1st and 3rd substrate being a plastic film substrate.

[Claim 5] A display according to claim 1 by which a material which constitutes said switching circuit section and/or the circumference circuit section is including [any one of organic-semiconductor, amorphous silicon, and other crystal silicon and the single crystal silicon] characterized.

[Claim 6] A display according to claim 1 characterized by including one which said circuit film becomes from a laminated structure (MIM structure) of a semiconductor device, a semiconductor integrated circuit, and a metal / insulating material / metal of elements.

[Claim 7] A display according to claim 6 characterized by said circuit film containing a semiconductor device and/or a semiconductor integrated circuit which were formed in a single-crystal-silicon layer.

[Claim 8] A display according to claim 6 characterized by said circuit film being the quality of the material which has flexibility.

[Claim 9] Said circuit film is a display according to claim 1 characterized by being a part of semiconductor film formed on a detached core formed on said 2nd substrate, and/or insulator layer [at least].

[Claim 10] A display according to claim 9 with which said detached core is characterized by being a porous layer or an ion-implantation layer.

[Claim 11] An indicating equipment according to claim 1 characterized by arranging said switching circuit section on the first surface on said 1st substrate, and arranging said a part of circumference circuit section [at least] on the second surface on said 1st substrate about a configuration of said indicating equipment.

[Claim 12] A display according to claim 1 characterized by carrying out at least one stratification of circuit films with which said a part of circumference circuit section [at least] was formed on said first substrate about a configuration of said display, and carrying out sequential formation of said switching circuit section and the pixel display on it.

[Claim 13] A display device according to claim 1 characterized by connection of the connection to the circumference circuit section and/or the switching circuit section which are contained in said circuit film being carried out by metallization.

[Claim 14] A production process which prepares on a substrate the 2nd substrate by which sequential arrangement was carried out in a detached core and a semiconductor film, A formation production process which forms a circuit film which formed at least one switching circuit section and/or the circumference circuit section in said semiconductor film, A manufacture method of a display according to claim 1 characterized by having each at least one or more production processes of a separation production process which separates said circuit film, a transfer production process which

carries out transfer arrangement of said circuit film on said 1st substrate, and production process [which forms the image display element section on said circuit film] ** from said 2nd substrate.

Claim 15] A manufacture method of a display according to claim 1 characterized by carrying out transfer arrangement of said circuit film on said 1st substrate through 3rd at least one substrate.

Claim 16] A manufacture method of a display according to claim 14 characterized by carrying out laminating arrangement of said some of circuit films [at least] in said transfer production process.

Claim 17] A manufacture method of a display according to claim 14 characterized by said 2nd substrate consisting of a production process which is a semiconductor substrate and forms a detached core on this semiconductor surface, a production process which forms a semiconductor film on this detached core, and a production process which forms said circuit section which consists of a semiconductor device and/or a semiconductor integrated circuit into this semiconductor film about a formation method of said circuit film.

Claim 18] A manufacture method of a display according to claim 17 characterized by said detached core being a porous layer silicon layer.

Claim 19] A manufacture method of a display according to claim 17 characterized by being the film with which said semiconductor film consists of single crystal silicon and/or a compound semiconductor.

Claim 20] After forming a slitting slot in a predetermined field on the 2nd [said] substrate in which said circuit film was formed, and/or said circuit film beforehand about said separation production process, paste up with said 1st substrate and the account circuit film of back to front is separated from said 2nd substrate. A manufacture method of a display according to claim 14 characterized by carrying out transfer arrangement of the circuit film of a predetermined field on the 1st substrate alternatively.

Claim 21] A manufacture method of a display according to claim 14 characterized by exfoliating and separating a circuit film which stuck a support substrate on said circuit film, performed a unification production process which unifies this circuit film and this support substrate, and was united with said support substrate at said separation production process in front of said separation production process bordering on said demarcation membrane.

Claim 22] A manufacture method of a display according to claim 14 characterized by carrying out or more at least 1 transfer arrangement of said circuit film which cuts said circuit film beforehand before said transfer production process, and was chip-ized on said 1st substrate.

Claim 23] A manufacture method of a display according to claim 15 characterized by arranging this 3rd substrate containing said at least one or more circuit films on said 1st substrate in said transfer production process after carrying out transfer arrangement of said at least one chip-ized circuit film on the 3rd substrate.

Claim 24] A manufacture method of a display according to claim 14 characterized by being the production process separated from said detached core after forming the image display element section about said separation production process on a circuit film formed on the 2nd substrate which has said detached core.

Claim 25] A manufacture method of a display according to claim 1 characterized by arranging said circuit film in the direction of face up on said 1st substrate, and performing electric connection by metallization.

[Translation done.]

NOTICES *

Japan Patent Office is not responsible for any images caused by the use of this translation.

This document has been translated by computer. So the translation may not reflect the original precisely.

**** shows the word which can not be translated.

In the drawings, any words are not translated.

DETAILED DESCRIPTION

Detailed Description of the Invention]

[0001]

The technical field to which invention belongs] Especially this invention is concerned with the display device and equipment which are characterized by transferring and arranging the circuit separately formed in the shape of a thin film, and forming it on the substrate holding the pixel section of this display about the manufacture method of the circuit in connection with a display about a display device and a display, and its manufacture method.

[0002]

Background of the Invention] Many rewritable display data medium is electrically proposed for the contents of a display by paper (printed matter) by near and one side in gestalt by names, such as a DEJITARUPE-par, a paper-like display, and an Electronic Book, in recent years. Specifically, the Electronic Book which consists of two or more sheet-like page displays is examined.

[0003] On the display of the shape of such [conventionally] a sheet, wiring between a display device and a control circuit was connected using a huge number of external wiring.

[0004] However, on the sheet page display of the above, making it as thin as possible, when various kinds of electric control circuits are mounted is called for. Then, it is required to install the circumference circuit which consists of a switching circuit which consists of a thin film transistor (it omits Following TFT) for switching a pixel, a sample hold circuit, a shift register, etc. on the substrate of a pixel periphery.

[0005] Generally the single crystal silicon substrate in which the semiconductor circuit was formed was divided on the chip, and arranging on a display device substrate was performed. These are called COG (ChipOn Glass) and the method called TAB (Tape Automated Bonding) has been used for connection between these circuits. However, it is said that the limit of the connection pitch of TAB is about 40 micrometers, and it cannot fit the display which has the high resolution beyond this.

[0006]

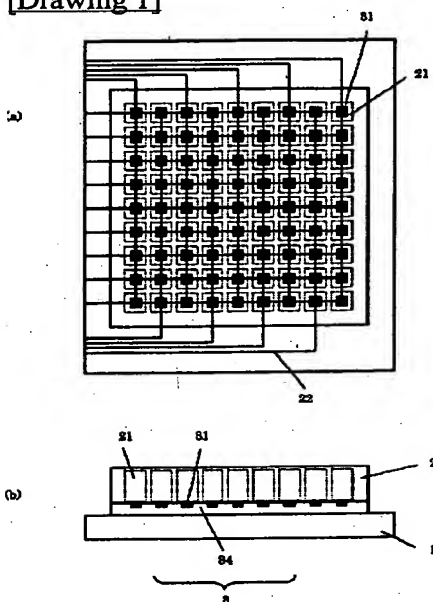
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

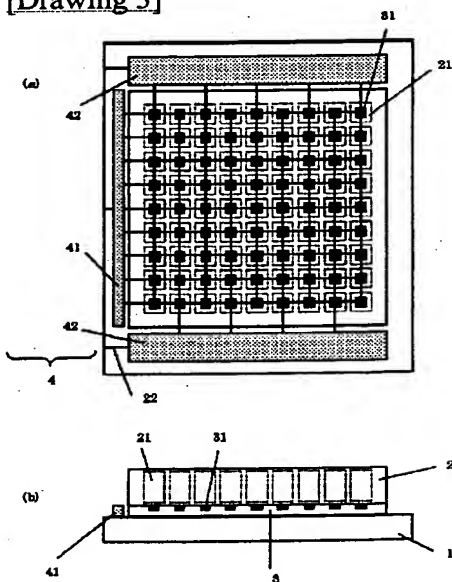
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

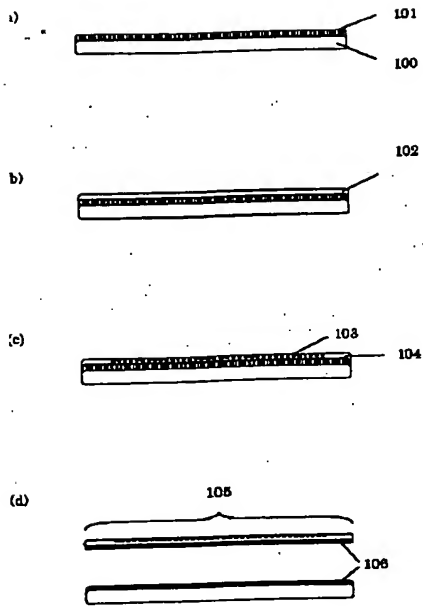
[Drawing 1]



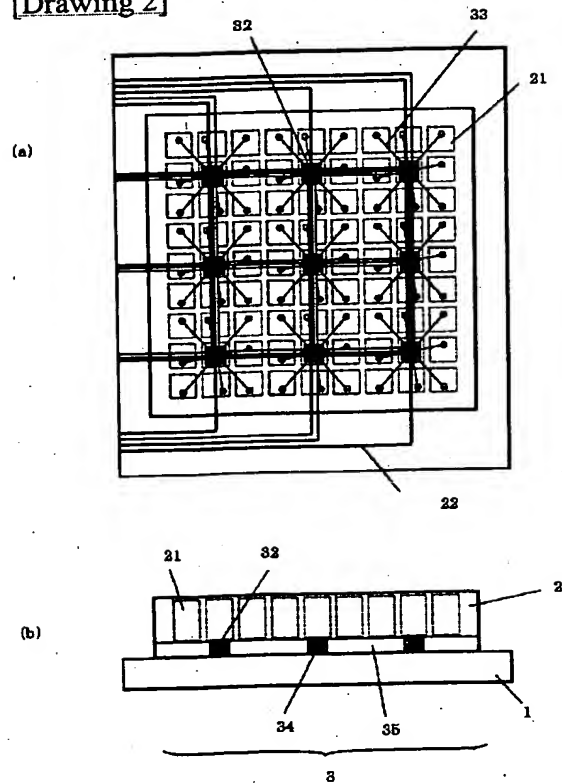
[Drawing 3]



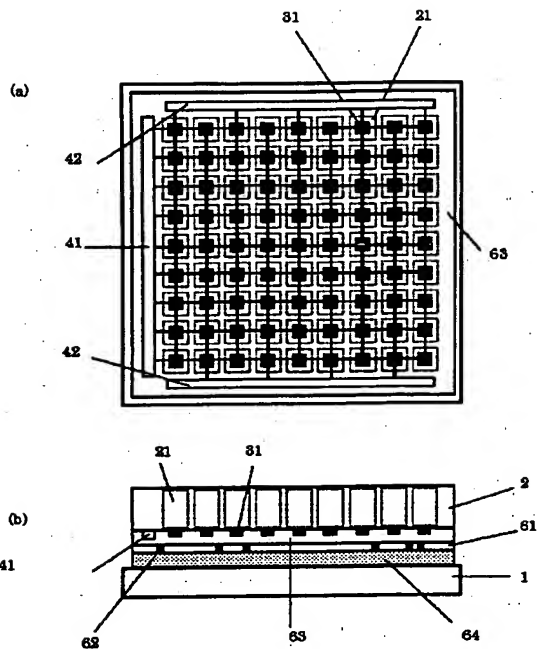
[Drawing 6]



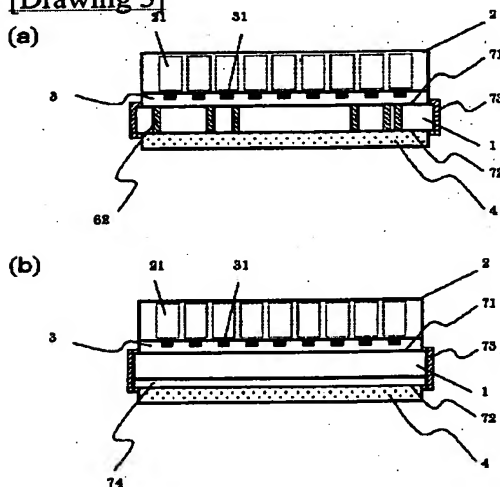
[Drawing 2]



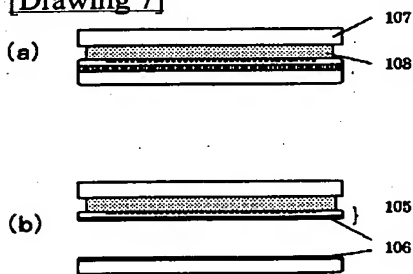
[Drawing 4]



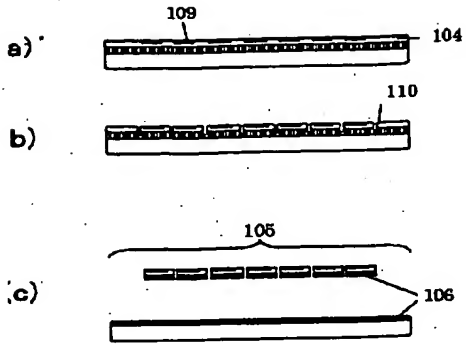
[Drawing 5]



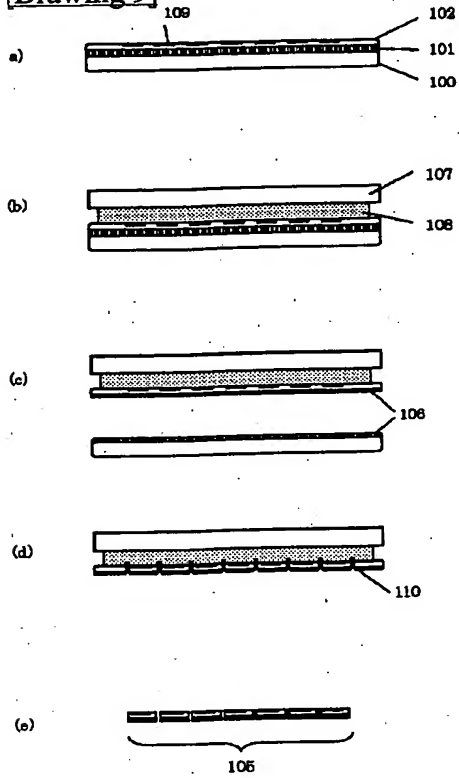
[Drawing 7]



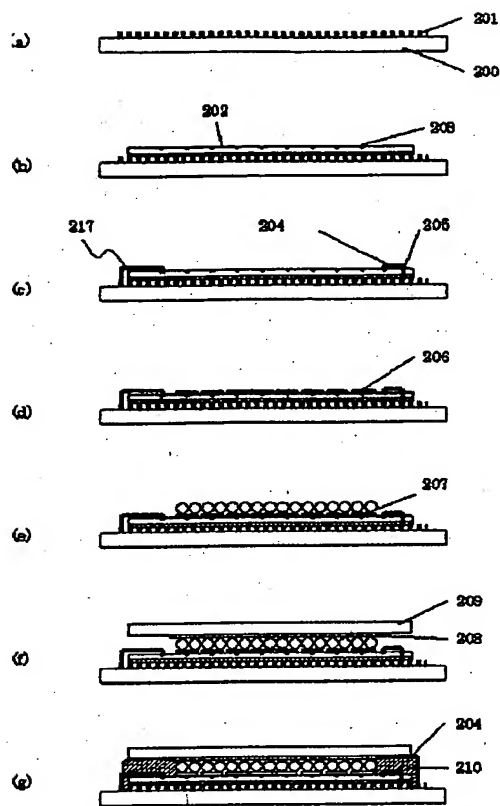
[Drawing 8]



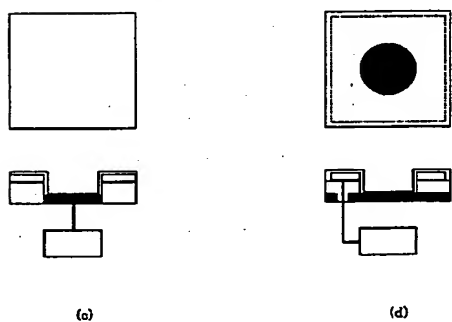
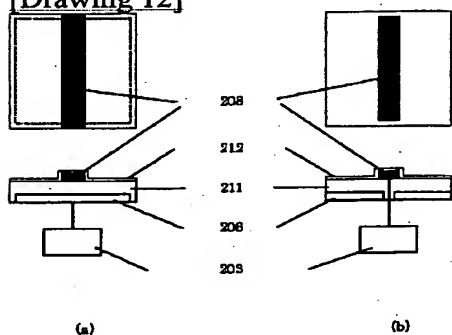
[Drawing 9]



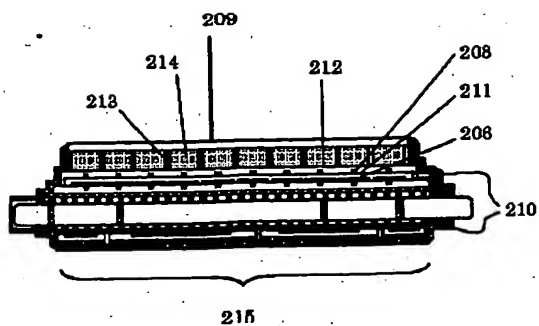
[Drawing 10]



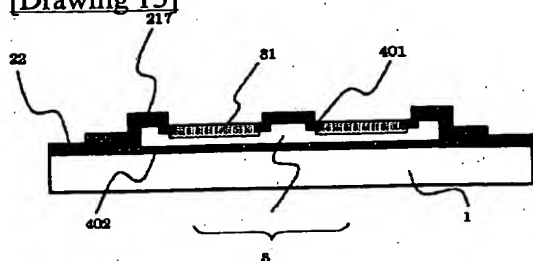
[Drawing 12]



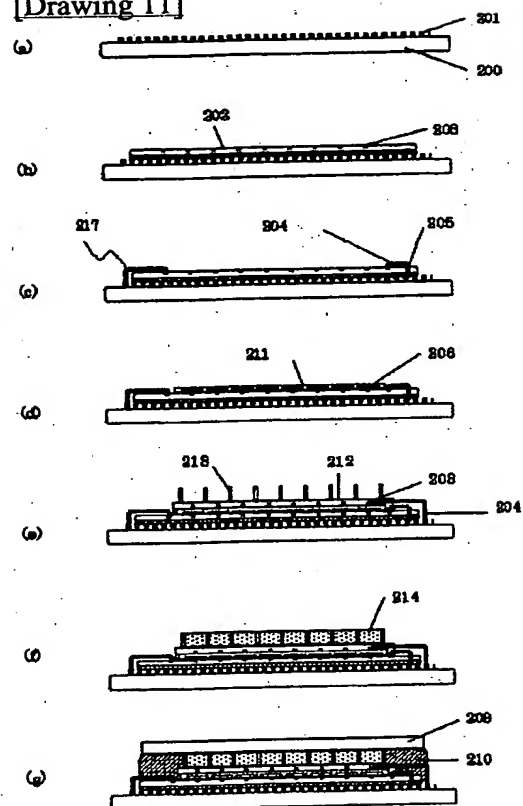
[Drawing 14]



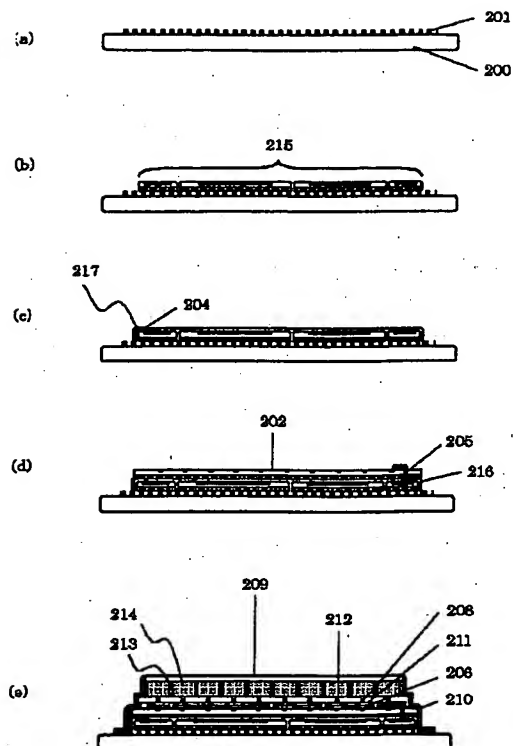
[Drawing 15]



[Drawing 11]



[Drawing 13]



[Translation done.]